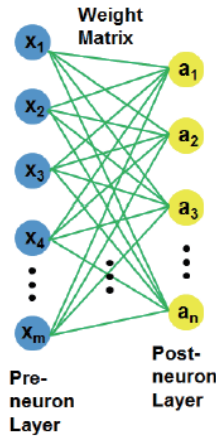


# 低维神经网络阵列测试方案

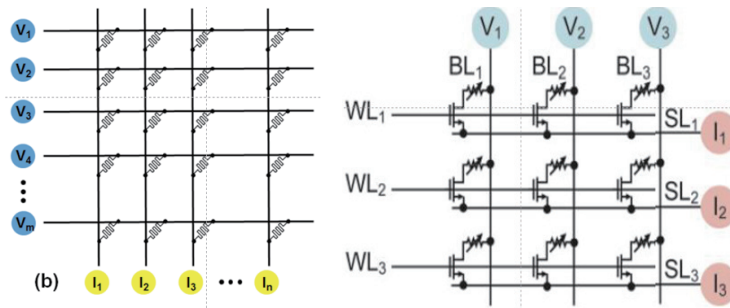
## 概述：

类脑计算是借鉴神经科学处理信息的基本原理，面向人工智能，发展新的非冯诺依曼计算的新技术，类脑计算的基础是人工神经网络。

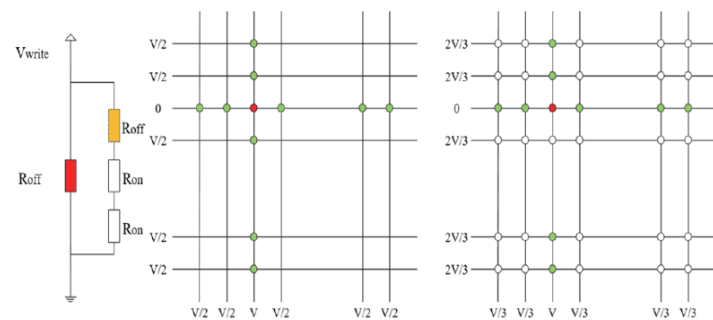
人工神经网络是由大量处理单元互联组成的非线性、自适应信息处理系统，它通常是由新型高速非易失存储器组成的阵列构成，新一代高速存储器包括阻变存储器、相变存储器、铁电存储器等两端器件和半浮栅晶体管、电解质栅晶体管等三端器件。



一个  $N \times M$  个两端器件节点组成的神经网络，由交叉于  $N$  条 WL 和  $M$  条 BL 上的节点单元组成，而  $N \times M$  个三端器件节点组成的神经网络，除了  $N$  条 WL 和  $M$  条 BL 外，还有  $N$  条 SL。



对两端器件节点组成的神经网络，其阵列单元在操作中存在多种串扰效应，为抑制这些效应，需要对每条 BL、WL 同时加电压（被测单元加 0 和  $V$ ，Idle 单元 BL 和 WL 均加  $V/2$  或 BL 加  $V/3$ ，SL 加  $2V/3$ ）。



为进一步抑制两端器件单元组成的神经网络阵列的串扰，通常会将两端器件串接在一个 MOSFET 源极上，形成一个新的三端器件节点单元，如  $1T1R$ ， $1TNR$  等，其中 T 代表晶体管，R 为电阻（两端器件）。

对三端器件节点组成的神经网络阵列，由于 MOSFET 的栅极可以起到开关的闸门作用，因此在操控时，只要 Idle 节点的栅极上不加栅压，该节点就不会导通，可以有效解决串扰问题。

## 低维神经网络阵列测试

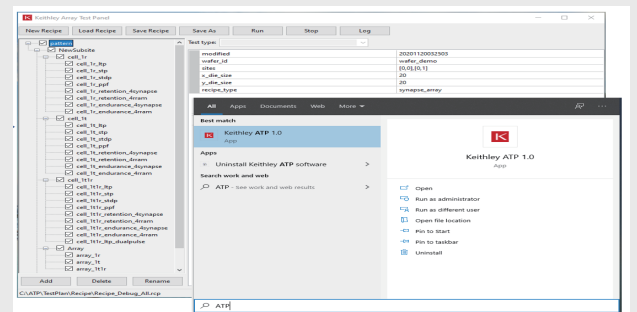
神经网络阵列维数越高，拓扑越复杂，所需的测试通道就越多，测试成本也越高，测试流程也会变得更复杂。最新的研究成果显示，神经网络阵列研究已经达到  $32 \times 32$  三端器件节点组成的阵列，并在短期内有向更高的维度发展的趋势。

由于高维神经网络阵列测试系统价格昂贵，连接及流程控制复杂，通常的解决方法是用 FPGA 搭建测试装置，但测试精度以及权威性都无法与由专业的高精度测试仪器组成的测试系统相提并论。因此，将高维阵列降维处理后，再用专业的测试系统对低维阵列进行测试，保证低维阵列单元性能，然后再结合其它手段进行高维阵列测试是非常一种行之有效的方法。

所谓低维阵列，指的是构成忆阻器 / 神经网络阵列的单元由  $2 \times 2$ （三端器件节点）或  $3 \times 3$ （两端器件节点）个节点组成的阵列。

## 泰克神经网络低维阵列测试方案

| 阵列     | 两端器件节点  | 三端器件节点  |
|--------|---|---|
| 2x2 阵列 | 主机：4200A-SCS<br>必配模块：SMUX4; PMUX2<br>定制软件：50870M（个数由定制软件复杂度定）<br>选配模块：CVUX1; IVCVX1<br>第三方附件：Bias-Tx4 | 主机：4200A-SCS<br>必配模块：SMUX6; PMUX2<br>定制软件：50870M（个数由定制软件复杂度定）<br>第三方附件：Bias-Tx4 |
| 3x3 阵列 | 主机：4200A-SCS<br>必配模块：SMUX6; PMUX3<br>定制软件：50870M（个数由定制软件复杂度定）<br>第三方附件：Bias-Tx6                       | NA  |



## 方案优势：

- 系统配置简单，测试精度高
- 最高可测试  $3 \times 3$  阵列（两端器件节点）及  $2 \times 2$  阵列（三端器件节点）
- 泰克中国具有本地研发团队，满足客户定制化的测试，系统集成及软件的二次开发的需求
- 多所行业领先的院校采用

详情请致电技术热线：400-820-5835