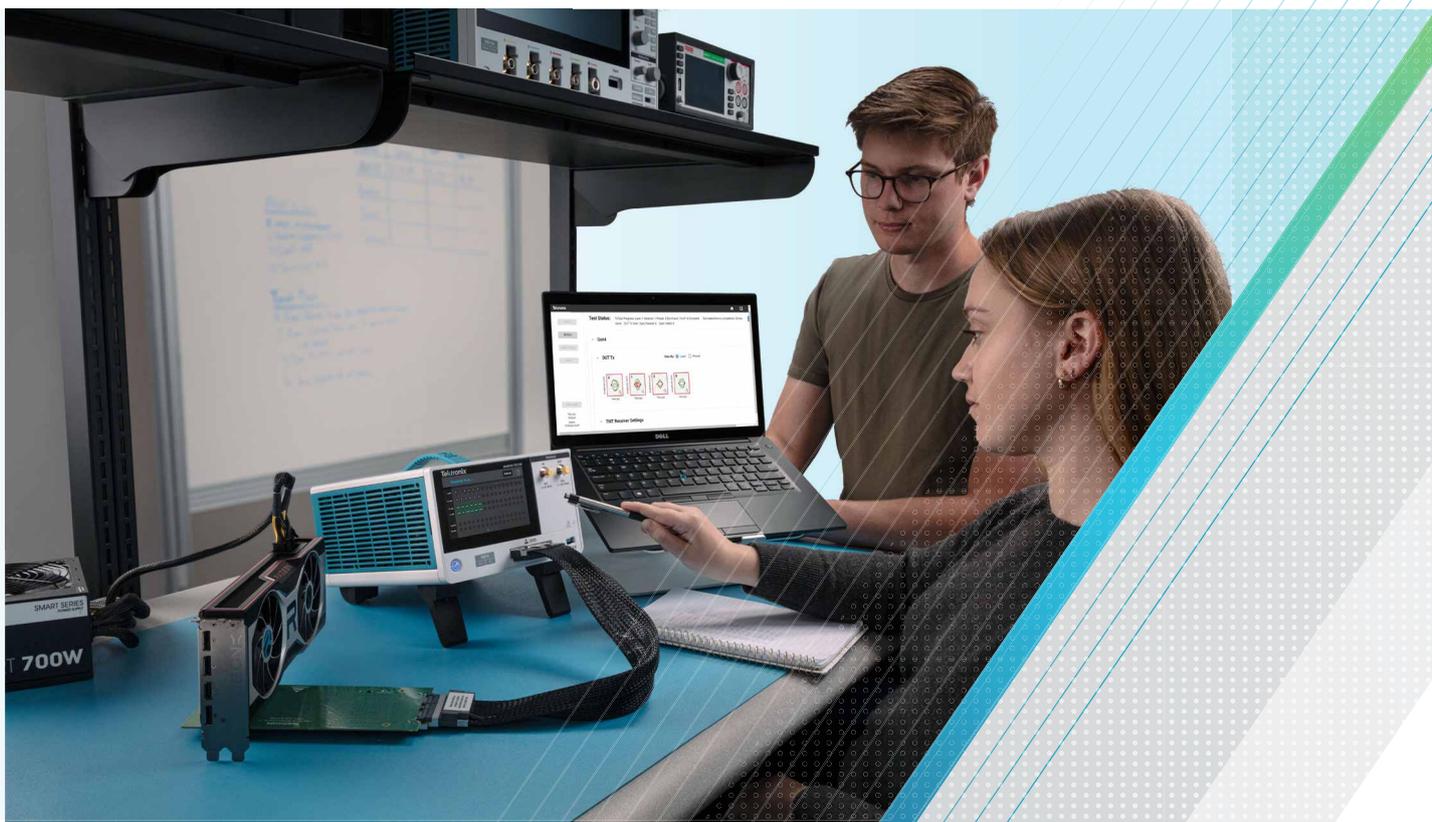


全新 PCI Express[®] 物理层 测试方法怎样快速洞察发送端 链路健康状况

应用指南



引言

传统上，发送端 (Tx) 测试一直要求使用示波器，来测量被测器件 (DUT) 发送的信号的眼高和眼宽，以评估信号质量。作为验证和一致性测试系统一贯指定的工具，示波器被大量用于开发工作中，来确定 DUT 是否对许多高速 I/O (HSIO) 标准一致性测试认证准备就绪。尽管示波器对开发和调试非常关键，但一直以来，业界正越来越多地需要其他设备，这些设备要能够缩短示波器要求的时间，收集信息，洞察发送端链路健康状况。

对于验证和一致性测试的测试系统来说，正确设置它们可能会非常复杂耗时，经常要用几小时或几天的测试时间，来收集全面评估 DUT 健康状况所需的结果，特别是对 PCI Express (PCIe) 中采用的宽通信总线。如果有一种工具，能把更多的重点放在获取数据所用的时间和易用性上，就会对示波器功能进行补充，因为工程师可以在开发期间对 DUT 做更多的日常评估工作，而减少对工作进度的影响。为此，泰克推出了 TMT4 PCIe 性能综合测试。现代工程师需要另一种仪器支持 PCIe 测试，这种仪器要设置简单，简便易用，改善识别漏洞的能力，而这些漏洞一般要在开发周期很晚的时候才会被发现。

使用 TMT4 PCIe 性能综合测试进行发送端测试

与采用示波器的传统测试设置不同，TMT4 PCIe 性能综合测试采用另一种方法进行发送端测试。在当前 PCIe 一致性测试中，发送端链路均衡 (LEQ) 套件用示波器作为模拟的接收端，以评估 DUT 发送的信号质量。泰克选择把 TMT4 测试仪嵌入链路中，使用真实的接收端和真实的流量以评估 DUT 和 PCIe 性能综合测试的性能。通过这种方法，TMT4 能够使用 PCIe 协议，对 DUT 进行自然地链路训练并测试协商后的链路 (快速扫描)，或者强制实现特定的通路和 Preset 组合，更全面地评估链路的可能性 (自定义扫描)。

这种方法与目前市场上物理层测试使用的其他产品有着本质的不同，并且可以让 PCIe 性能综合测试产生与现有设备不同的洞见。通过 TMT4 PCIe 性能综合测试，泰克开始重新想象怎样进行 PCIe 测试，以对现有的测试设备进行补充。通过采用不同的测试方法，TMT4 可以更快、更简便地把握工程师目前面对的许多问题，而这些问题通过现有测试系统并没有得到全面地解决。

本应用指南重点介绍多个实际案例，演示 TMT4 发送端测试方法如何为 PCIe 板卡和系统设计提供可操作的洞见。

BIOS 设置和互操作能力

泰克与客户密切合作，发现在多种案例中，TMT4 PCIe 性能综合测试都可以传统测试系统和一致性测试进行补充。在第一个案例中，某主板制造商试图改变被传统一致性测试测量的 BIOS 设置，以优化信号质量。下表显示，通路 0 到通路 4 默认的 BIOS 设置和更新后的 BIOS 设置的眼宽和眼图均通过测试，测得结果略有变化。

通路	Preset	一致性测试结果						增量(旧对新)	
		原始BIOS设置			更新后的BIOS设置			眼高	眼宽
		眼高	眼宽	结果	眼高	眼宽	结果		
4	8	68.843 mV	28.394 ps	Pass	68.737 mV	27.586 ps	Pass	-0.106 mV	-0.808 ps
2	8	71.164 mV	27.968 ps	Pass	73.628 mV	28.575 ps	Pass	2.464 mV	0.606 ps
2	7	79.190 mV	22.086 ps	Pass	80.360 mV	21.812 ps	Pass	1.170 mV	-0.273 ps
1	8	82.233 mV	29.086 ps	Pass	77.147 mV	29.218 ps	Pass	-5.086 mV	0.132 ps
1	7	86.544 mV	22.721 ps	Pass	85.649 mV	23.772 ps	Pass	-0.894 mV	1.051 ps
1	6	50.349 mV	32.812 ps	Pass	49.421 mV	33.261 ps	Pass	-0.927 mV	0.449 ps
0	8	71.097 mV	29.982 ps	Pass	70.482 mV	29.697 ps	Pass	-0.614 mV	-0.285 ps
0	7	78.126 mV	24.648 ps	Pass	77.035 mV	25.551 ps	Pass	-1.091 mV	0.902 ps
0	6	41.237 mV	33.345 ps	Pass	40.164 mV	32.964 ps	Pass	-1.073 mV	-0.381 ps

表 1: 原始 BIOS 设置和更新后的 BIOS 设置的一致性测试结果

尽管如此，该主板制造商在更新的 BIOS 设置里开始出现互操作问题，而以前在默认设置里是没有的。由于这两种一致性测试结果之间差异已经最小化，该制造商不确定是什么导致了问题，也不确定为什么使用自己的测试系统时这两种配置都通过了测试。泰克公司与该制造商合作，看看 TMT4 PCIe 性能综合测试是否能够得到任何有用的信息，而这些信息是其测试系统的结果中没有显示的。开始前，TMT4 先使用默认 BIOS 设置运行了快速扫描，它发起自然链路协商，用了 5 分钟的测试时间，来查看能找到什么信息。下面几个图是眼图、链路训练参数以及格式化表格使用的可能的 DFE 抽头值的范围。

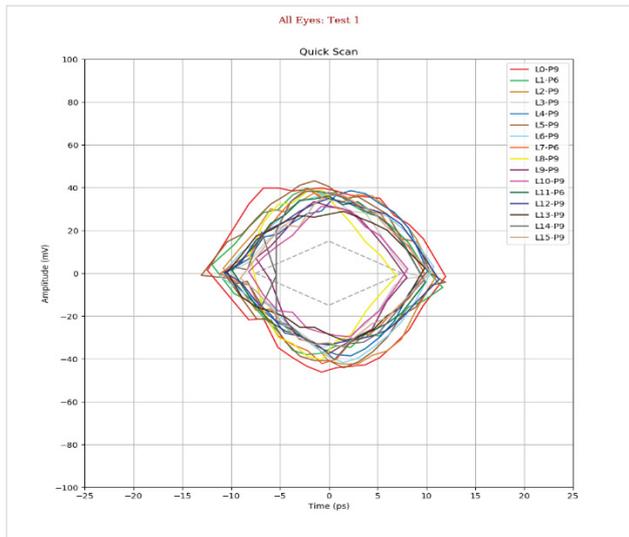


图 1: 默认 BIOS 设置的快速扫描图

通路	Preset	eye_width	eye_height	att	vga	ctle	dfe1	dfe2	dfe3	dfe4	dfe5
4	6	22.32	67.03	-6.58	2.28	6.61	26.4	-8.25	9.28	2.75	4.29
2	9	22.15	85.72	-10	1.71	5.77	22.34	-14.44	6.53	3.75	3.43
1	9	20.99	83.69	-8.86	2.28	7.45	24.37	-5.5	6.18	2.75	2.92
0	9	22.86	92.63	-8.86	2.28	6.61	28.43	-10.32	7.9	3	3.95

	dfe1	dfe2	dfe3	dfe4	dfe5
Low	-55.0 mV	-44.0 mV	-22.0 mV	-16.0 mV	-11.0 mV
High	55.0 mV	43.0 mV	21.7 mV	15.8 mV	10.8 mV

表 2：链路训练参数和 DFE 阶范围

前 4 条通路的数据提取自链路训练参数表，以便与上面的 BIOS 设置结果子集进行对比，DFE 抽头值则根据每个 DFE 抽头的上下限有地条件格式化在 Excel 电子表格中。显而易见的是，PCIe 性能综合测试并没有训练到根据缺省 BIOS 设置而变化的哪些 Preset 上。这表明 TMT4 和 DUT 之间协商到的 Preset 并不在与 BIOS 变化有关的诸 Preset 中。

此外，我们可以清楚地看到，DFE 的抽头 1 被很大力度地使用以张开眼图，这表明接收端正在使用很大的均衡以便形成链路。因此，当链路能够形成时，另一个接收端裕量差的 DUT 很可能会引发互操作能力问题。

由于 DUT 并不会自然地训练到 BIOS 表中指明的通路和 Preset 设置，因此我们使用 TMT4 运行自定义扫描，查看 DUT 中的所有通路 -Preset 组合。在大约 30 分钟后，TMT4 收集到了下面的眼图和链路训练参数表。

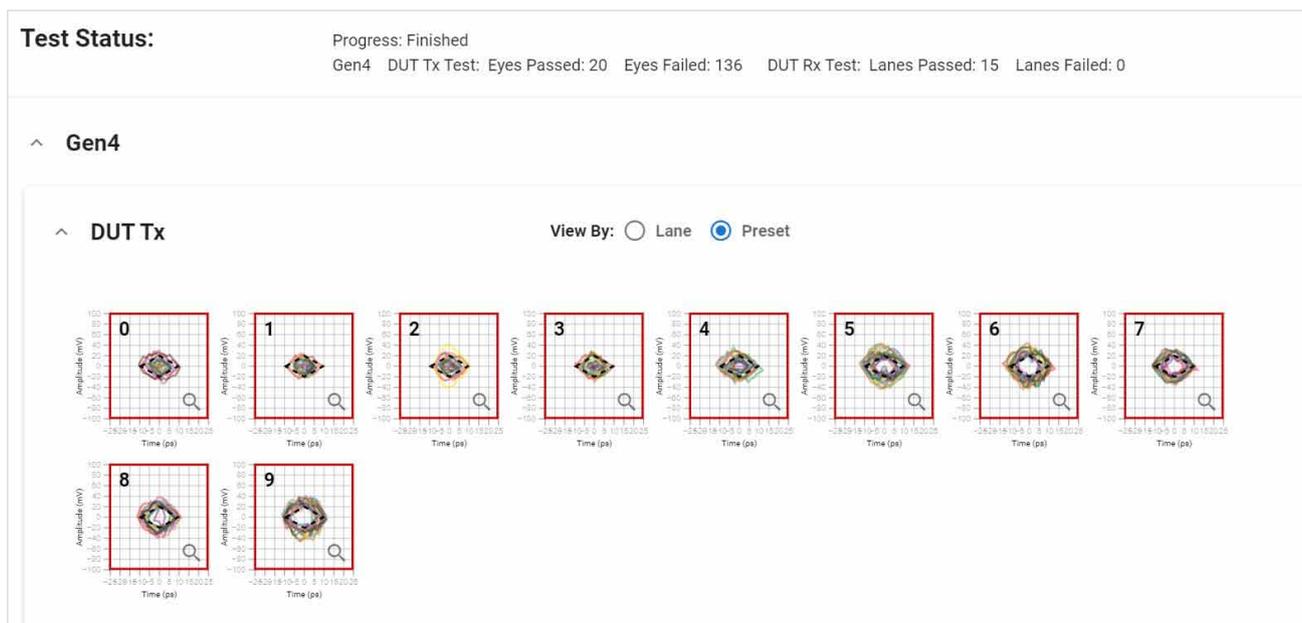


图 2：默认 BIOS 设置的自定义扫描图。

通路	preset	eye_width	eye_height	att	vga	ctle	dfe1	dfe2	dfe3	dfe4	dfe5
4	8	18.85	54.84	-8.86	2.85	3.67	30.46	-14.44	7.9	6	6.18
2	8	21.73	68.66	-10	2.85	3.67	28.43	-17.19	3.78	6.75	4.98
2	7	21.58	71.5	-10	4	2.83	44.68	-16.5	2.75	8.25	6.01
1	8	16.74	53.63	-10	2.28	3.67	22.34	-12.38	5.5	6	4.29
1	7	15.77	52	-10	2.85	2.83	30.46	-13.75	4.81	6.5	4.98
1	6	21.03	71.91	-8.86	1.71	7.87	22.34	-10.32	3.78	2.75	1.89
0	8	22.32	67.44	-10	1.71	3.67	30.46	-15.82	4.46	4	6.01
0	7	23.62	67.44	-10	2.85	2.83	36.56	-16.5	3.78	5.75	8.07
0	6	25.05	62.97	-8.86	1.71	6.19	30.46	-13.75	5.15	3.75	3.26

表 3：默认 BIOS 设置自定义扫描图的链路训练参数

与之前的快速扫描结果一样，我们缩减了链路训练参数表，仅仅比较我们评估的 BIOS 设置子集。同样，很容易就看出 DFE 被用于张开眼图的力度有多大，特别是来自 DFE 的抽头 1、抽头 2、抽头 5。同样令人感兴趣的是一致性测试结果与 TMT4 结果测得的眼高和眼宽的差异，如下表所示。

通路	Preset	一致性测试		TMT4		增量	
		眼高	眼宽	眼高	眼宽	眼高	眼宽
4	8	68.843 mV	28.394 ps	54.84 mV	18.85 ps	-14.003	-9.544
2	8	71.164 mV	27.968 ps	68.66 mV	21.73 ps	-2.504	-6.238
2	7	79.190 mV	22.086 ps	71.5 mV	21.58 ps	-7.69	-0.506
1	8	82.233 mV	29.086 ps	53.63 mV	16.74 ps	-28.603	-12.346
1	7	86.544 mV	22.721 ps	52 mV	15.77 ps	-34.544	-6.951
1	6	50.349 mV	32.812 ps	71.91 mV	21.03 ps	21.561	-11.782
0	8	71.097 mV	29.982 ps	67.44 mV	22.32 ps	-3.657	-7.662
0	7	78.126 mV	24.648 ps	67.44 mV	23.62 ps	-10.686	-1.028
0	6	41.237 mV	33.345 ps	62.97 mV	25.05 ps	21.733	-8.295

表 4：眼高和眼宽测量数据对比——一致性测试和 TMT4

我们再次使用 Excel 电子表格中的有条件格式化，这个表格直观地展示了一致性测试结果与 TMT4 结果之间有意义的差异。特别是，对于眼高和眼宽来说，使用 P7 和 P8 的通路在使用真实链路流量的 TMT4 结果，看上去要比使用测试信号的一致性测试结果要糟糕得多。整体上，由于严重依赖均衡来张开眼图，无论是在快速扫描结果和自定义扫描结果中，这个 DUT 发生互操作问题的机率都很高。

接下来，我们使用 TMT4 评估更新后的 BIOS 设置，看能得到什么。与前面一样，该制造商发现在更新设置后，TMT4 与 DUT 不能形成链路，因此不能扫描结果，如下面的截图所示。



图 3: TMT4 Web UI 截图—使用更新后的 BIOS 设置没有形成链路。

虽然根据该制造商在更新 BIOS 设置后已经看到的互操作问题，这个结果是意料之中的；当查看到在缺省设置中使用 DFE 的力度有多大，这个结果并不让人吃惊。它表明，更新 BIOS 设置使得链路严重到足以导致了互操作问题，特别是 DUT 试图与没有良好的接收端裕度的对端进行互操作时。

在短短 30 分钟测试中，通过对导出的结果进行基本的 Excel 格式化，TMT4 能够为这家制造商提供关于张开发送信号眼图所需的均衡水平，以及复现其遇到的互操作问题等额外的信息。这个简单案例说明了 TMT4 可以很好地对传统一致性测试进行补充，特别是在一致性测试通过，但在设计中仍遇到互操作能力问题时。

重驱动器增益设计和互操作能力

另一家主板制造商试图解决重驱动器增益设置中遇到的问题。他们采用芯片厂商提供的参考设计，在使用泰克 TekExpress 软件和示波器时通过了测试，如通路 0、8、15 的结果如下面几个图所示。

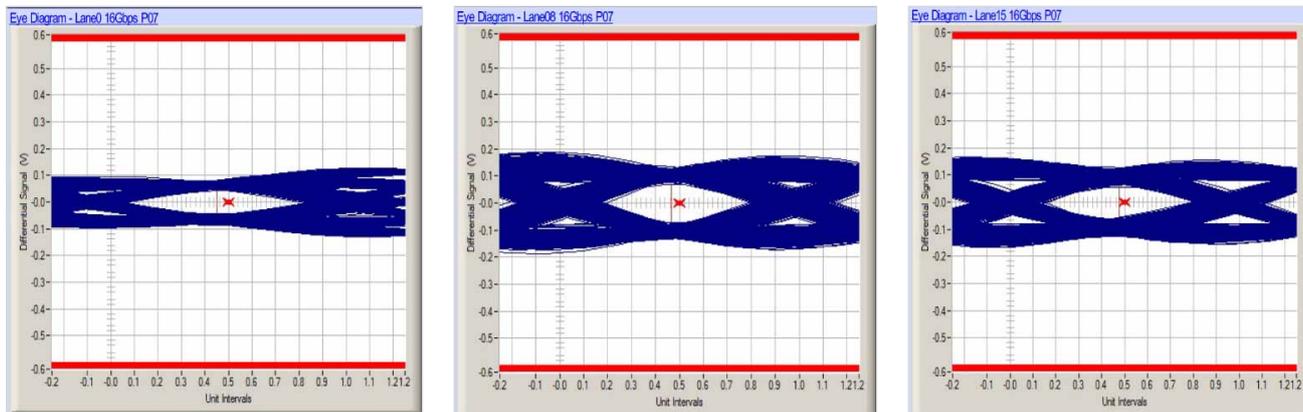


图 4: Tek Express 对重驱动器设置通路 0、8、15 的眼图截图。

尽管结果通过了测试，但这家制造商仍然遇到了互操作问题，而又找不到根本原因。泰克科技为他们提供了一个机会，使用 TMT4 帮助他们调试这个问题。TMT4 经历了在 Gen4 速度下 DUT 遇到的互操作问题，如下面的截图所示。

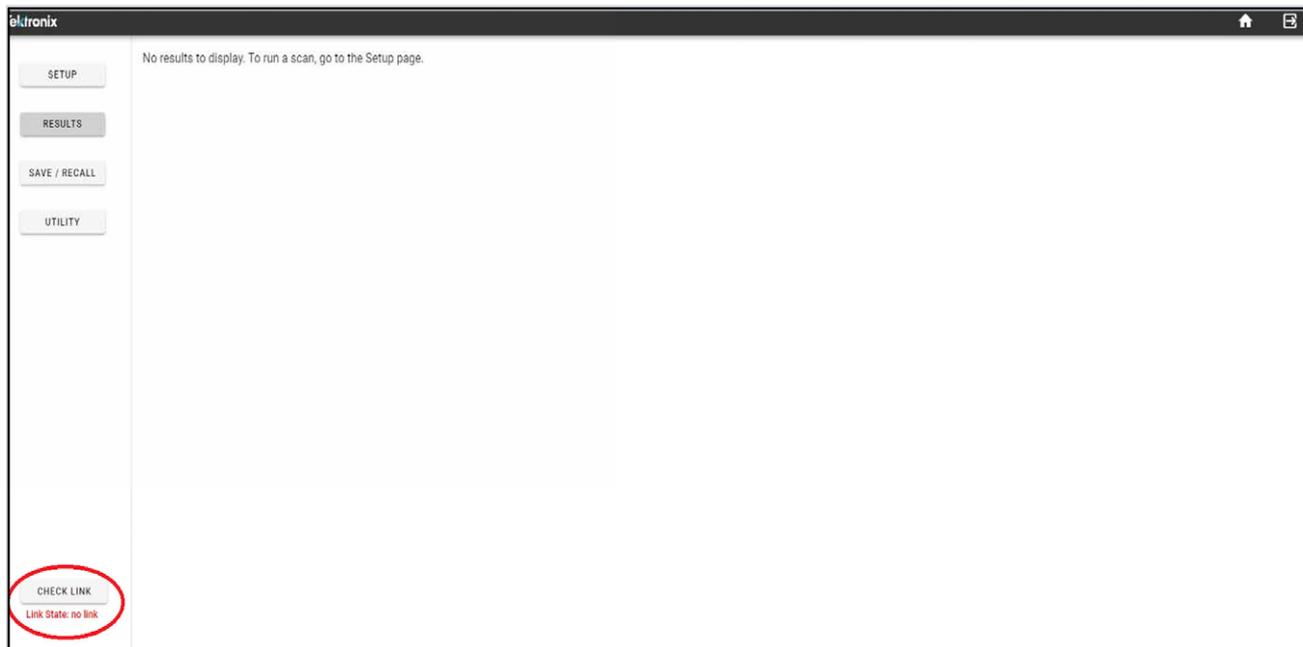
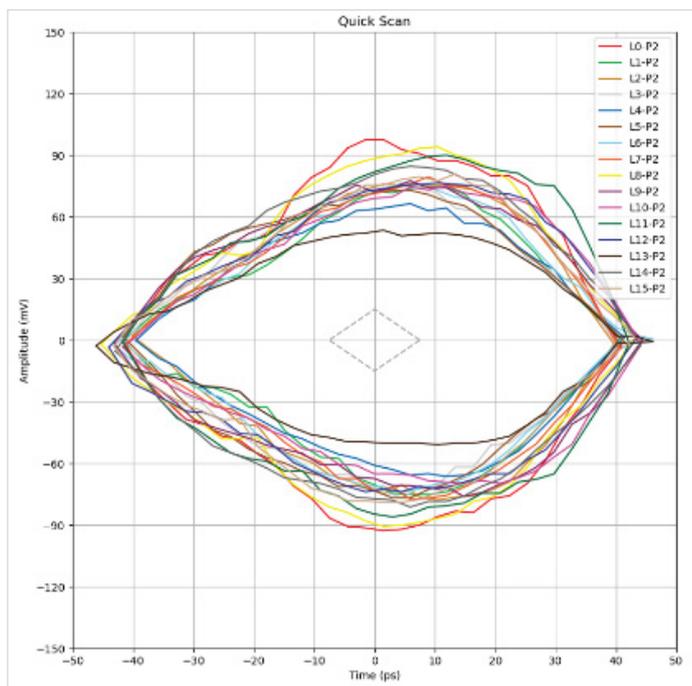


图 5: TMT4 Web UI 截图—重驱动器设置在 Gen 4 速度下没有形成链路。

在 Gen 4 速度下未能形成链路后，TMT4 被调整以在 Gen 3 速度下测试 DUT。在调节到 Gen 3 速度后，TMT4 能够与 DUT 形成链路。通过在 Excel 电子表格中进行一些基本分析，这家制造商能够轻松地可视化问题发生在哪里。如下表所示，几乎不需要均衡就能把插槽的高 8 条通路上的眼图张开，但低 8 条通路上有一些通路有问题，如红字所示。



通路	preset	eye_width	eye_height	att	vga	ctle	dfe1	dfe2	dfe3	dfe4	dfe5
0	2	82.6	190.3	-8.86	2.28	3.67	-2.04	0	7.21	1	1.71
1	2	82.3	150.3	-8.86	1.71	4.51	-12.19	8.25	5.15	0.25	0.68
2	2	79.9	153.0	-10	1.14	4.09	-6.1	0.68	2.06	1	0.85
3	2	81.5	152.3	-8.86	1.14	4.09	-10.16	1.37	1.03	-2	2.75
4	2	80.9	132.0	-7.72	1.14	3.25	4.06	4.12	2.4	1.5	3.78
5	2	83.0	149.6	-8.86	1.14	3.67	-2.04	3.43	3.78	2	3.26
6	2	89.3	150.3	-8.86	1.14	3.25	2.03	1.37	2.06	-0.25	3.26
7	2	82.2	156.4	-7.72	1.14	3.67	0	2.06	3.09	-0.25	2.92
8	2	88.5	182.1	-7.72	0	2	-18.29	-4.82	-1.04	-3.25	1.03
9	2	87.5	148.3	-5.43	0.57	2	-12.19	-4.13	-0.69	-3.25	-0.69
10	2	85.9	144.2	-7.72	0	2	-14.22	-2.75	-1.38	-1.75	0.34
11	2	83.9	172.0	-7.72	0	2	-20.32	-3.44	-3.44	-1.25	-2.07
12	2	87.3	149.0	-7.72	0.57	2	-2.04	0.68	4.12	-2.25	1.2
13	2	92.3	103.6	-8.86	0	2	-2.04	3.43	-2.41	-1.5	-0.52
14	2	87.0	165.9	-7.72	0	2	-8.13	-2.75	-1.04	-0.75	0.51
15	2	86.3	157.1	-7.72	0.57	2	-8.13	6.87	2.4	-1.25	1.03

图 6：在 PCIe Gen 3 速度下重驱动器设置的链路训练参数表和快速扫描眼图。

大家注意到，通路 8-11 使用的 DFE 抽头 1 的均衡要远超其他通路。这就快速地向制造商表明，与通路 0-7 相比，链路另一端的接收端不得不使用更大的均衡以便张开通路 8-15 的眼图。在通路 13 上，大家注意到，不需要太大的均衡就能张开眼图，但这明显小于所有其他通路，特别是与通路 0 相比，通路 13 的均衡量几乎只有一半。

在短短 5 分钟快速测试后，TMT4 就向这家制造商指明，互操作外推可能出现在重驱动器设计的后 8 条通路中，因为通路 8–15 中的 DFE 均衡更大，眼图更小。

开发阶段改进工作

在对 TMT4 的评估中，某 PCIe 设备厂商想要确定如果有了 TMT4，他们执行对它们的设备常规性能检查的难易程度。在下面的截图中，这家厂商拿了它们第一阶段的开发板，把它连接到 PCIe 性能综合测试上，以获得性能基线。下面的截图显示了结果。

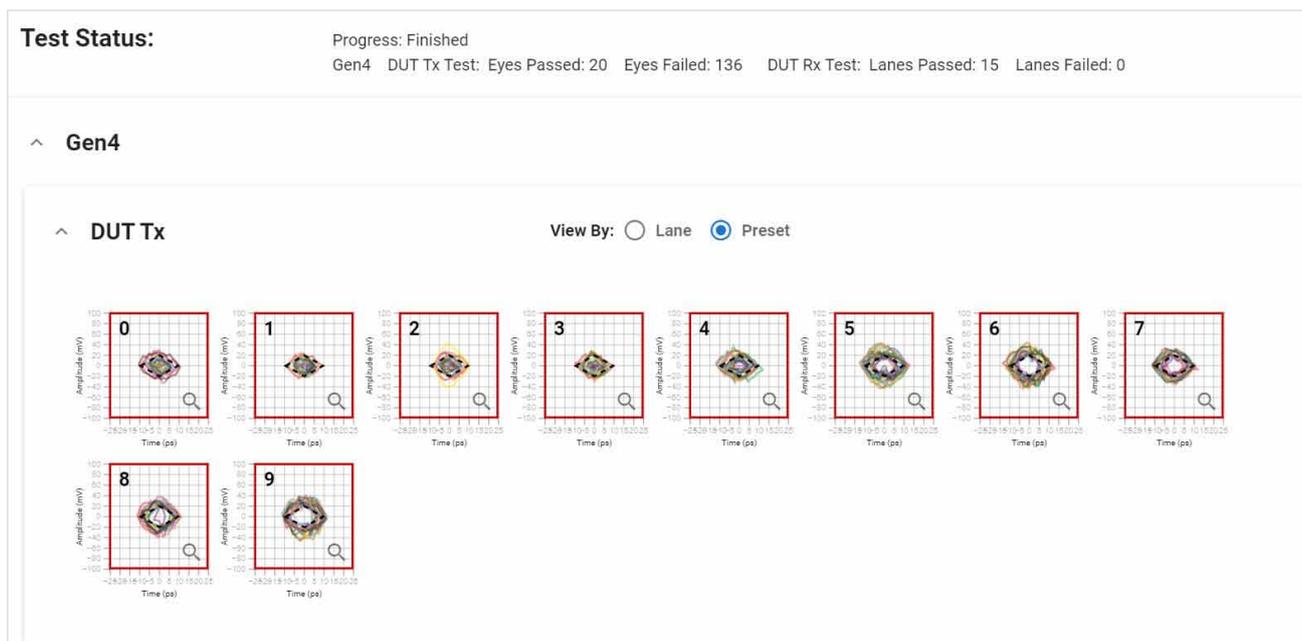


图 7：第一期设计自定义扫描眼图。

在 30 分钟测试后，这家厂商能够快速评估第一阶段开发板的健康状况，以确定性能基线。从上图可以看出，在使用 P0–P5 时，第一阶段电路板的性能很差，在使用 P6–P9 时则好得多，但根据用户自定义上下限仍有 136/156 次测试失败，不能为其中 4 种通路 –Preset 组合生成眼图。

在确定这一基线后，这家制造商评估了第二阶段的电路板，以查看 PCIe 性能综合测试能否快速显示设计改进。同样，在短短 30 分钟内，这家厂商就能够使用 TMT4 对比第二阶段电路板与第一阶段电路板，以评估性能改进情况。下面的截图是第二期设计测试。

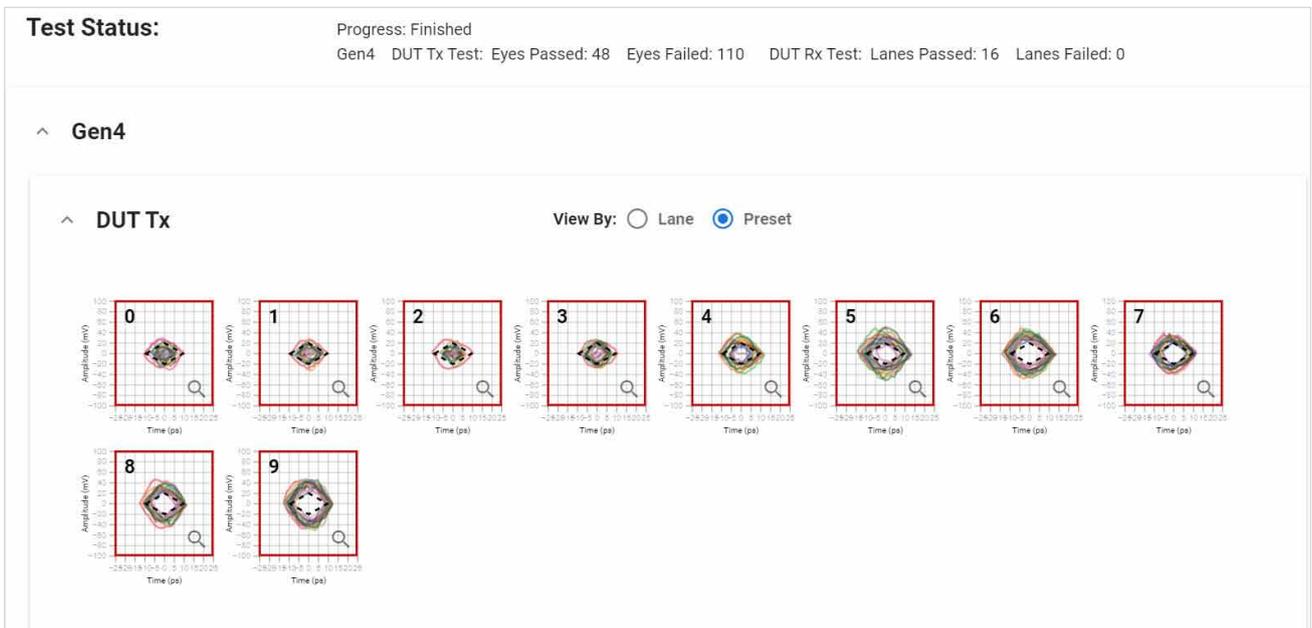
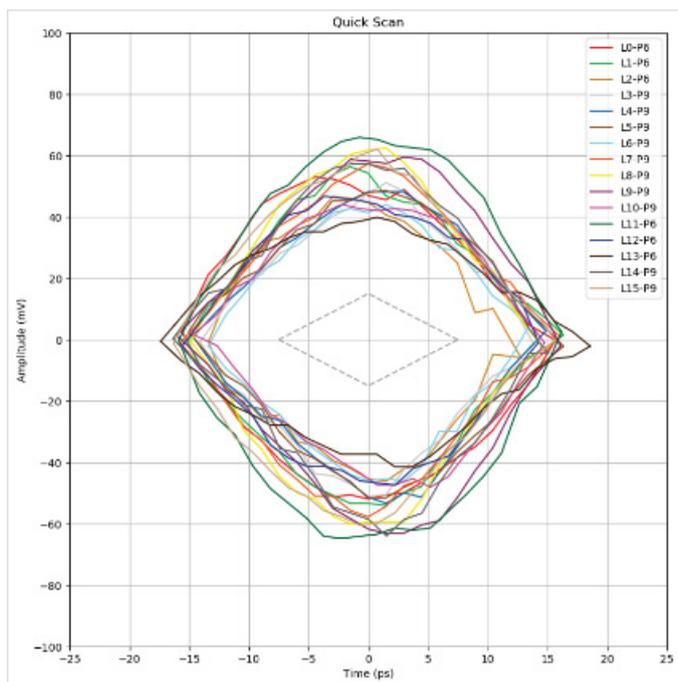


图 8：第二期设计自定义扫描眼图。

即使只是简单的目视比较，我们都能在几分钟内看到第二阶段设计较第一阶段的改进情况。大家可以很容易就看到 P4 和 P5 中的改进情况，现在眼图张开大得多，但我们还能看到 P6–P9 中的改进情况，第二阶段设计的眼图进一步张大。我们使用相同的上下限，现在只看到 110/158 次测试失败，只有两个通路 –Preset 组合不能生成眼图。通过这两次测试，这家厂商只用了一个小时的测试时间，就能评测其第一阶段到第二阶段的开发进展。

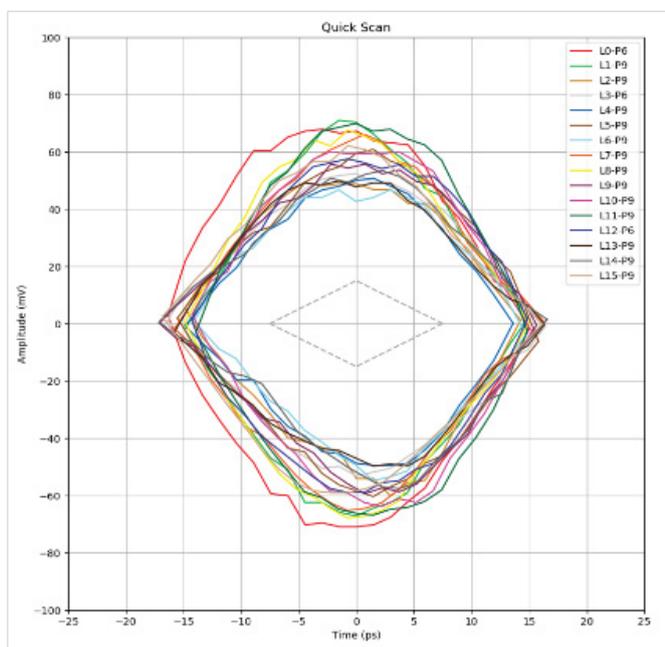
快速产品对比

某系统厂商想评估两款插卡哪款用在其系统中会更优。通过使用 TMT4 PCIe 性能综合测试，这家厂商可以看到 TMT4 接收端在每款 DUT 中的性能情况。通过在每款 DUT 上使用快速扫描，这家厂商在大约 10 分钟内就可以将结果导出并评估。链路训练参数导入到 Excel 中进行格式化，如下表所示，同时还有来自数据导出的每个眼图。



DUT #1												
通路	preset	eye_width	eye_height	att	vga	ctle	dfe1	dfe2	dfe3	dfe4	dfe5	
0	6	31.3	103.6	-10	2.85	12.06	34.53	0	1.37	-1.25	-2.41	
1	6	31.5	109.7	-10	2.28	11.64	30.46	6.18	0.68	-1.25	-0.18	
2	6	26.1	90.1	-10	3.42	12.9	42.65	1.37	0	-2.25	-1.04	
3	9	27.9	101.6	-10	2.28	10.8	34.53	-0.69	0	-2	0.17	
4	9	29.5	101.6	-10	2.28	10.8	32.5	2.75	0.68	-1.5	0.17	
5	9	31.4	100.2	-10	2.28	10.8	34.53	-1.38	3.43	0.5	1.03	
6	9	26.8	89.4	-10	2.28	10.8	22.34	-1.38	1.03	-0.5	-0.86	
7	9	31.8	115.1	-10	1.14	9.54	30.46	-2.75	1.37	0.75	0.51	
8	9	29.6	121.9	-10	2.28	10.8	26.4	-3.44	2.06	-1	0.51	
9	9	32.1	122.6	-10	2.28	9.54	22.34	-2.07	4.12	-0.5	0.85	
10	9	29.4	90.1	-10	2.28	9.54	20.31	-0.69	2.4	1.75	-0.18	
11	6	32.1	130.0	-10	2.28	10.38	28.43	-2.75	1.71	0.75	-2.75	
12	6	29.9	91.4	-8.86	2.28	9.12	26.4	0	3.78	2.25	-0.18	
13	6	36.0	79.9	-10	2.28	9.96	26.4	0	0	1.5	-1.04	
14	9	31.4	119.2	-10	2.28	9.54	32.5	-5.5	1.37	2	-1.72	
15	9	31.9	121.9	-10	2.28	9.54	32.5	0.68	6.87	2	0	
	< 100 mV											

图 9: DUT #1 快速扫描链路训练参数和相关眼图。



DUT #2											
通路	preset	eye_width	eye_height	att	vga	ctle	dfe1	dfe2	dfe3	dfe4	dfe5
0	6	31.3	138.1	-10	2.85	9.96	26.4	0	4.12	1	-0.35
1	9	29.8	137.4	-10	2.28	9.96	18.28	4.81	2.4	-0.25	-1.9
2	9	29.1	107.0	-10	3.42	9.96	30.46	0	2.4	0	-1.72
3	6	32.7	105.6	-10	1.14	8.7	22.34	-3.44	1.71	-1.75	1.03
4	9	28.5	100.2	-8.86	2.28	9.54	20.31	0.68	3.78	-1.75	0
5	9	31.3	121.2	-10	2.28	9.54	24.37	0.68	4.46	-2.25	1.71
6	9	28.8	100.2	-10	2.28	9.12	12.18	0	2.4	0	-0.18
7	9	32.1	130.7	-8.86	2.28	9.96	22.34	2.06	3.43	-1.25	-1.55
8	9	29.9	135.4	-10	2.28	9.12	18.28	0	3.09	0	-0.18
9	9	32.7	115.1	-10	1.14	7.03	14.21	0	3.78	2.5	-0.52
10	9	29.5	123.2	-10	2.28	8.7	10.15	1.37	3.43	0.25	0.17
11	9	28.8	136.1	-10	1.71	8.7	18.28	-2.07	2.75	-1	-0.69
12	6	29.1	116.5	-8.86	2.28	8.7	16.25	2.06	3.43	-0.5	0
13	9	32.2	98.9	-10	3.42	11.22	22.34	4.12	-2.07	-0.75	-2.93
14	9	33.7	110.4	-10	2.28	9.96	24.37	-2.07	0.34	1.75	-2.93
15	9	33.0	121.2	-10	2.28	9.96	26.4	5.5	4.81	0	-0.69
	< 100 mV										

表 10: DUT #2 的快速扫描链路训练参数和相关眼图。

虽然 TMT4 并不能完全代表整个系统，但这家厂商非常想了解在使用真实接收端时这两种不同产品的训练情况和性能。看眼图，并不能清楚显示哪个设备在 PCIe 性能综合测试中提供了更好的链路性能，不过 DUT #2 似乎眼图张开得略大一些。在更深入地查看链路训练参数，并格式化可能的取值范围后，结果立刻非常清楚，在使用裕量测试仪形成链路时，DUT #2 提供的性能要好于 DUT #1。DUT #2 中使用 DFE 的力度不及 DUT #1，DUT #2 只有一个眼图低于 100 mV，而 DUT #1 中有 5 个眼图低于 100 mV。

尽管使用 TMT4 的性能不能完全代表设备在系统内部的性能，但作为评估流程中的一个数据点，它确实让系统厂商很好地了解了每个设备如何与真实地接收端和真实地流量一起运作。需要注意的是，协商中不同的 Preset 选择，或者如果信号路径的损耗低于 TMT4，可能会影响系统中每款 DUT 的性能。但即使有这些细微差别，在大约 10 分钟测试时间内，这家厂商就知道了每款 DUT 进行自然地链路训练和协商后在真实性能，并能够快速看到在链接 TMT4 PCIe 性能综合测试时，DUT #2 提供的性能要好于 DUT #1。

转接卡影响

泰克做了一个实验，考察转接卡对链路性能有什么影响，以及 TMT4 可以在多大程度上检测转接卡在测试期间引入的额外损耗。为此，我们使用一块带一个 16 路 PCIe 插槽的 Gen 4 主板来测试在信号路径中有转接卡及没有转接卡时的这个插槽。在没有转接卡时，第一次自定义扫描结果用了大约 30 分钟测试时间，下面的截图是测试结果。

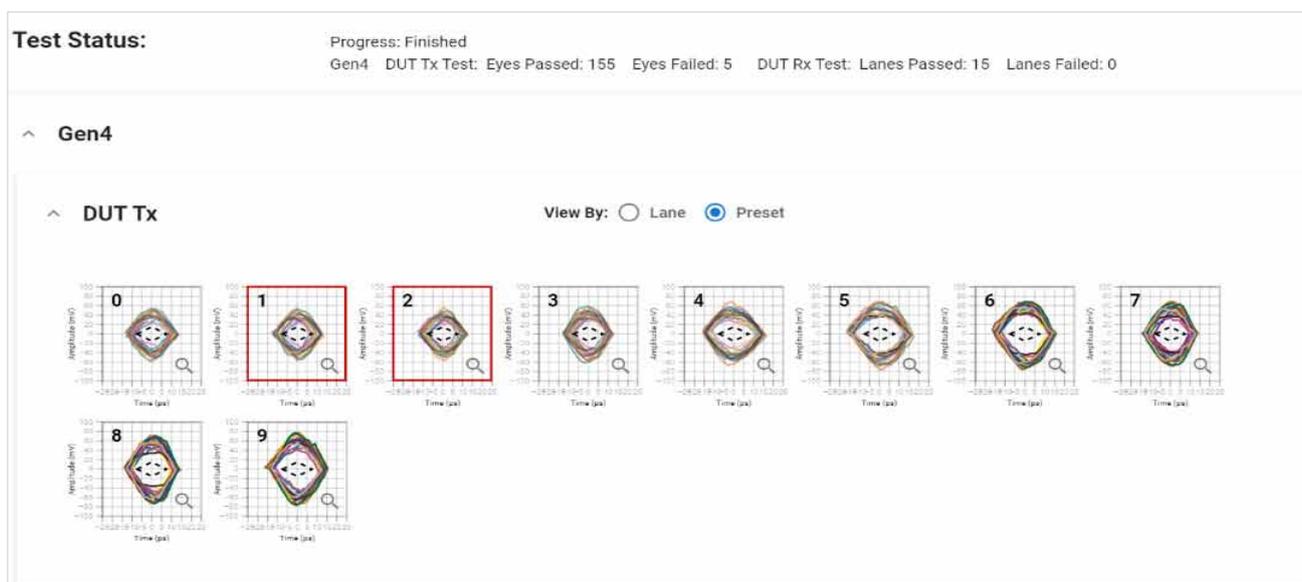


图 10: Preset 的自定义扫描图—信号路径中没有转接卡。

大家可以看到，链路性能显示在所有 Preset 中的眼图都张开了，基于使用的上下限，只有 5 次测试失败，并且只涉及 P1 和 P2。所有通路 -Preset 组合都能生成眼图，即使在较低的 Preset 时有一些测试失败。

之后的测试中，我们在主板和 TMT4 之间加了转接卡，在系统中引入更多的损耗。又经过 30 分钟测试，PCIe 性能综合测试得到下面的结果：

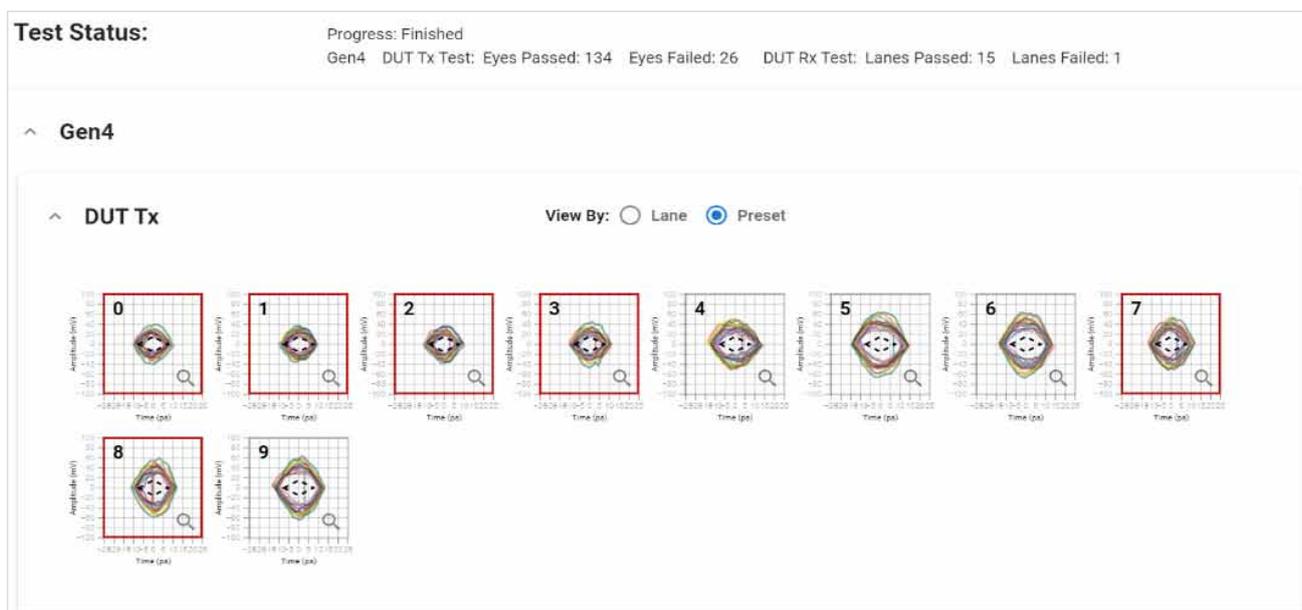


图 11: Preset 的自定义扫描图—信号路径中有转接卡。

即使快速浏览，大家就可以清楚地看到转接卡对链路的影响。在有转接卡比没有转接卡时，在使用相同的用户自定义极限时，在多出的 4 个 Preset 中，新增了 21 个眼图测试失败。整体上，在所有 Preset 中所有眼图都缩小了，即使是上下限到位时通过测试的眼图。所有通路 -Preset 组合仍能生成眼图，但在没有转接卡时测试结果明显劣化。这个试验迅速表明 PCIe 性能综合测试的灵敏度，可以检测并指明信号路径中有转接卡和没有转接卡形成链路时的明显性能差异。

总结

本文中的每个案例都表明 TMT4 如何为 PCIe Gen3 和 Gen4 提供可操作的结果及有价值的洞见，其速度和方便程度远高于市场上任何其他测试设备。这些只是 TMT4 可以用来为板卡设计或系统设计决策提供洞察和指导方向的部分方式，泰克为能够解决以易用性和测试速度为核心的部分测试挑战而感到骄傲。PCIe 性能综合测试采集的结果很好地对现有设备进行补充。一致性测试系统使用模拟的接收端和测试信号以收集与 DUT 有关的数据，TMT4 则使用真实的接收端和实时链路流量以收集数据。通过一起使用基于示波器的系统与 TMT4，工程师可以真正全面了解 PCIe Gen 3 和 Gen 4 设备的物理层性能。如需进一步了解我们整个 PCIe 测试方案，敬请访问[我们的网站](#)。



泰克官方微信

如需所有最新配套资料，请立即与泰克本地代表联系！

或登录泰克公司中文网站：www.tek.com.cn

泰克中国客户服务中心全国热线：400-820-5835

泰克科技(中国)有限公司

上海市浦东新区川桥路1227号
邮编：201206
电话：(86 21) 5031 2000
传真：(86 21) 5899 3156

泰克北京办事处

北京市朝阳区酒仙桥路6号院
电子城·国际电子总部二期
七号楼2层203单元
邮编：100015
电话：(86 10) 5795 0700
传真：(86 10) 6235 1236

泰克上海办事处

上海市长宁区福泉北路518号
9座5楼
邮编：200335
电话：(86 21) 3397 0800
传真：(86 21) 6289 7267

泰克深圳办事处

深圳市深南东路5002号
信兴广场地王商业大厦3001-3002室
邮编：518008
电话：(86 755) 8246 0909
传真：(86 755) 8246 1539

泰克成都办事处

成都市锦江区三色路38号
博瑞创意成都B座1604
邮编：610063
电话：(86 28) 6530 4900
传真：(86 28) 8527 0053

泰克西安办事处

西安市二环南路西段88号
老三届世纪星大厦26层L座
邮编：710065
电话：(86 29) 8723 1794
传真：(86 29) 8721 8549

泰克武汉办事处

武汉市洪山区珞喻路726号
华美达大酒店702室
邮编：430074
电话：(86 27) 8781 2760

泰克香港办事处

香港九龙尖沙咀弥敦道132号
美丽华大厦808-809室
电话：(852) 3168 6695
传真：(852) 2598 6260

更多宝贵资源，敬请登录：WWW.TEK.COM.CN

© 泰克科技公司版权所有，侵权必究。泰克产品受到已经签发及正在申请的美国专利和外国专利保护。本文中的信息代替所有以前出版的材料中的信息。本文中的技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和 TEK 是泰克公司的注册商标。本文中使用的 MIPI 规范图 2007-2022 年归 MIPI 联盟版权所有，经许可可进行重印。C-PHYSM 和 D-PHYSM 是 MIPI 联盟的服务标志。所有其他第三方商标均为各自所有者的资产。本文中提到的所有其他商号均为各自公司的服务标志、商标或注册商标。

100622 SBG 55C-73961-0

