

如何实现 HDMI 2.1 的源端测试

规范解读



目录

HDMI 简介	3
HDMI 版本演进	3
FRL 模式.....	3
HDMI2.1 Source 和 Sink 的 Link Training procedure	4
HDMI2.1 FRL 测试项目	8
测试 Pattern 和 Data Rate 的实现.....	9
HFR1-1 Source FRL Electrical – DC Common Mode	11
HFR1-2: Source FRL Electrical – Vse_max, Vse_min	11
HFR1-3: Source FRL Electrical – TRISE, TFALL	11
HFR1-4: Source FRL Electrical – Inter-Pair Skew	12
HFR1-5: Source FRL Electrical – FRL Rates +/- 300ppm	13
HFR1-6: Source FRL Electrical – Data Jitter (Rj)	14
HFR1-7: Source FRL Electrical – Data Eye Diagram.....	14
HFR1-8: Source FRL Electrical – AC Common Mode Noise	16
HFR1-9: Source FRL Electrical – FFE Monotonicity.....	16
解决方案和配置	19
Tekexpress FRL 设置	21

HDMI 简介

HDMI (High Definition Media Interface, 高清多媒体接口), 由于可以同时传输视频和音频数据, 且连接简单, 兼容性好等特点, 被广泛的应用在消费电子产品上, 例如电视, 机顶盒, 投影仪等。HDMI 系统可以划分 4 个种类, Source, Sink, Cable 和 Repeater, 为了保证这些设备良好的兼容性, 规范对电气信号做出了信号完整性的要求。

HDMI 版本演进

Version	1.4b	2.0	2.1 (FRL mode)
Date release	2009-5	2013-9	2017-11
Max Resolution	4K@30Hz	4K@60Hz	8K@60Hz, 4K@120Hz
Max Clock rate (MHz)	340	148.5	Embedded
Clock/Data ratio	1:10	1:40	NA
Max Data rate / channel (Gbps)	3.4	6	12
Max Total throughput (Gbps)	10.2	18	48
YCbCr 4:2:0 Support	No	Yes	Yes

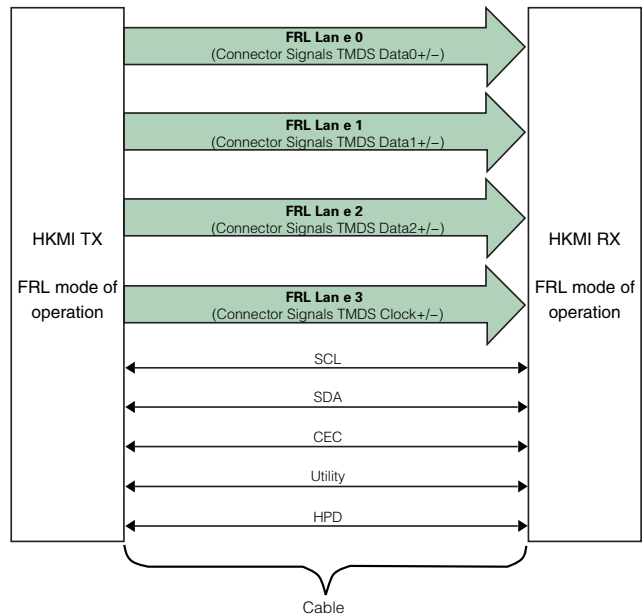
Note: 原有 HDMI2.0 的部分归属到 HDMI2.1 中, 为了习惯, 以下仍称为 HDMI2.0

目前市面上 HDMI 主流标准是 1.4b 和 2.0, 对应支持的最大分辨率 / 刷新率分别是 4K@30Hz 和 4K@60Hz。随着对更高分辨率和刷新率需求的增加, HDMI 协会于 2017 年 11 月推出了 HDMI2.1 版本, 增加了 FRL (Fixed Rate Link) 模式, 支持 8K@60Hz 和 4K@120Hz。

FRL 具体的变化① HDMI 接口的独立时钟信号改为 嵌入在数据中, 在接收端使用时钟恢复单元恢复出时钟; ②用于传递音视频数据的 channel 最多为 4 个, 每个 channel 最高支持 12Gpbs 的速率; ③编码方式从 8b/10b 变为 16b/18b, 编码效率更高。

FRL 模式

接口物理形式没有变化, 原来的 TMDS Clock channel 重定义为 FRL lane3; TMDS Data 0/1/2 分别对应 FRL lane 0/1/2, 如下图所示



FRL 模式，只有 3 lanes 和 4 lanes 工作模式，3 lanes 工作模式下，仅仅支持 3 Gbps 和 6Gbps 两种速率；未使用的 Lane3，source 和 sink 都需要使用差分 50Ω ~ 150Ω 端接。

4 lanes 工作模式下，支持 6/8/10/12 Gbps 四种速率；

FRL Lane link rates

Rate per Lane	Number of Lanes
3 Gbps	3
6 Gbps	3
6 Gbps	4
8 Gbps	4
10 Gbps	4
12 Gbps	4

HDMI2.1 Source 和 Sink 的 Link Training procedure

Source 首先要读取 Sink 的 EDID (EDID 是 I2C 地址为 0xA0/0xA1，长度为 256 字节的存储空间，包含 Sink 所支持的分辨率和最高速率等信息)，输出 sink 所支持的分辨率 / 速率。Source 不能输出 Sink EDID 未支持的分辨率 / 速率。

支持 HDMI2.1 的 Sink，一定要在 EDID 的 HF-VSDB 对应字节把 SCDC_Present 设置为 1，Max_FRL_Rate 设置范围是 1 到 6，数字 0 代表不支持 FRL 模式，其他值为保留值。在 SCDC 中把 Sink version 设置为 1

HDMI Fourm Vendor Specific Date Block

Byte \ Bit #	7	6	5	4	3	2	1	0
0	Vendor Specific Tag Code (=3)			Length (=N)				
1	IEEE OUI, Third Octet (0xD8)							
2	IEEE OUI, Second Octet (0x5D)							
3	IEEE OUI, First Octet (0xC4)							
4	Version (=1)							
5	Max_TMDS_Character_Rate							
6	SCDC_Present	RR_Capable	Rsvd(0)	CCBPCI	LTE_340Mcs_scramble	Independent_view	Dual_View	3D_OSD_Disparity
7	Max_FRL_Rate				Rsvd(0)	DC_48bit_420	DC_36bit_420	DC_30bit_420
8	Rsvd(0)	Rsvd(0)	M _{Delta}	CinemaVRR	CNMVRR	FVA	ALLM	FAPA_start_location
9	VRR _{MAX} [9:8]		VRR _{MIN}					
10	VRR _{MAX} [7:0]							
11	DSC_1p2	DSC_Native_420	Rsvd(0)	Rsvd(0)	DSC_All_bpp	DSC_16bpc(=0)	DSC_12bpc	DSC_10bpc
12	DSC_Max_FRL_Rate				DSC_MaxSlices			
13	Rsvd(0)	Rsvd(0)	DSC_TotalChunkKBytes					
14...N	Reserved(0)*							

* No additional bytes are necessary but if present, they shall be zero.

Max_FRL_Rate 值具体含义如下，数字 1 代表仅仅支持 3 lanes 模式下的 3Gbps 速率，其他速率和 lane 配置不支持，数字 3 代表支持 3 lanes 模式下的 3Gbps 和 6Gbps 速率；4 lanes 模式下仅仅支持 6Gbps 速率，其他速率不支持。其他数字的含义类推。

- Max_FRL_Rate [4 bits] Sinks shall set this field to the value that indicates the level of FRL support that the Sink is capable of.

- 0: Fixed Rate Link is not supported.
- 1: Fixed Rate Link at 3 Gbps per Lane on 3 Lanes (0, 1, and 2) is supported. Other FRL rates and Lane configurations are not supported.
- 2: Fixed Rate Link at 3 and 6 Gbps per Lane on 3 Lanes (0, 1, and 2) is supported. Other FRL rates and Lane configurations are not supported.
- 3: Fixed Rate Link at 3 and 6 Gbps per Lane on 3 Lanes (0, 1, and 2) is supported. Fixed Rate Link at 6 Gbps per Lane on 4 Lanes (0, 1, 2, and 3) is supported. Other FRL rates and Lane configurations are not supported.
- 4: Fixed Rate Link at 3 and 6 Gbps per Lane on 3 Lanes (0, 1, and 2) is supported. Fixed Rate Link at 6 and 8 Gbps per Lane on 4 Lanes (0, 1, 2, and 3) is supported. Other FRL rates and Lane configurations are not supported.
- 5: Fixed Rate Link at 3 and 6 Gbps per Lane on 3 Lanes (0, 1, and 2) is supported. Fixed Rate Link at 6, 8, and 10 Gbps per Lane on 4 Lanes (0, 1, 2, and 3) is supported. Other FRL rates and Lane configurations are not supported.
- 6: Fixed Rate Link at 3 and 6 Gbps per Lane on 3 Lanes (0, 1, and 2) is supported. Fixed Rate Link at 6, 8, 10, and 12 Gbps per Lane on 4 Lanes (0, 1, 2, and 3) is supported.
- 7-15: Reserved

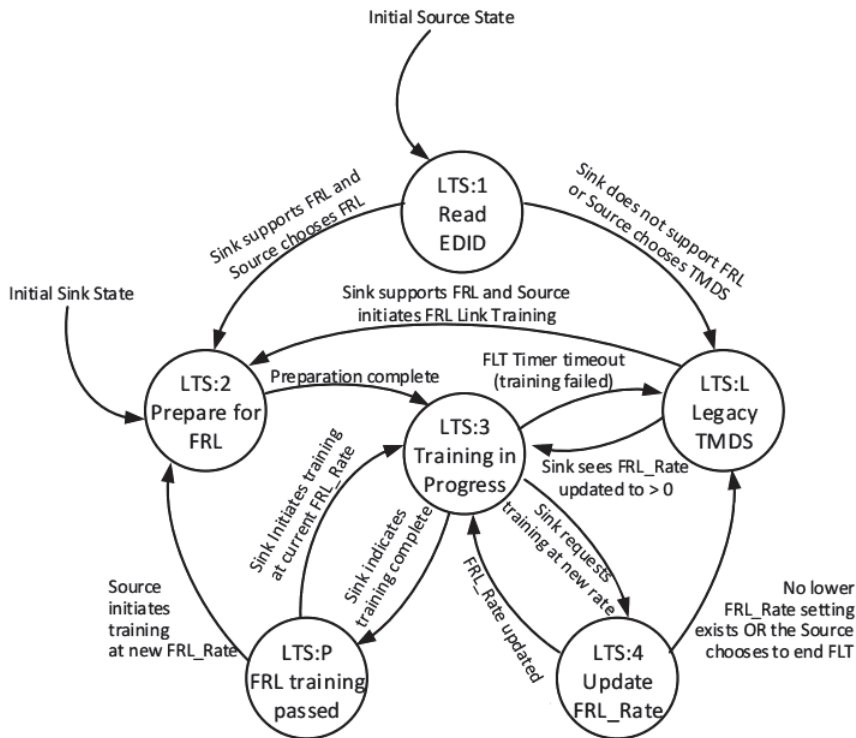
Status and Control Data Channel Structure

SCDC 是 I²C 地址为 0xA8/A9 的存储空间，用于 Source 和 Sink 沟通交换状态和控制信息，部分字节 Source 和 Sink 都可以读写。与 EDID 不同，EDID 对 source 是只读的。HDMI2.1 Source 和 Sink 沟通过程中，会使用到 Sink version, Update Flags, Sink Configuration, Status Flags 等信息

Offset	R/W	Name	Description
0x01	R	Sink Version	Section 10.4.1.2
0x02	R/W	Source Version	Section 10.4.1.2
0x10	R/W	Update Flags	Section 10.4.1.3
0x11	R/W		
0x20	R/W	TMDS Configuration	Section 10.4.1.4
0x21	R	TMDS Scrambler Status	Section 10.4.1.5
0x30	R/W	Sink Configuration	Section 10.4.1.6
0x31	R/W		
0x35	R	Source Test Configuration	Section 10.4.1.6.1
0x40	R	Status Flags	Section 10.4.1.7
0x41	R		
0x42	R		
0x50	R		
0x51	R	Channel 0 (Lane 0) Error Count bits 7 -> 0	Sections 6.2, 6.6, and 10.4.1.8
0x52	R	Channel 0 (Lane 0) Error Count bits 14 -> 8	
0x53	R	Channel 1 (Lane 1) Error Count bits 7 -> 0	Sections 6.2, 6.6, and 10.4.1.8
0x54	R	Channel 1 (Lane 1) Error Count bits 14 -> 8	
0x55	R	Channel 2 (Lane 2) Error Count bits 7 -> 0	Sections 6.2, 6.6, and 10.4.1.8
0x56	R	Channel 2 (Lane 2) Error Count bits 14 -> 8	
0x57	R	Checksum of Character Error Detection	Sections 6.2, 6.6, and 10.4.1.8
0x58	R	Lane 3 Error Count bits 7 -> 0	Sections 6.6 and 10.4.1.8
0x59	R	Lane 3 Error Count bits 14 -> 8	
0x5A	R	Reed Solomon Corrections Counter bits 7-> 0	Sections 6.5.4 and 10.4.1.8
0x5B	R	Reed Solomon Corrections Counter bits 14 ->8	

FRL Link Training Procedure

支持 FRL 模式的 Source 和 Sink 首次建立连接，需要进行 Link Training，更新 FRL rate 也需要进行 Link Training。下图是 Link Training 状态机的跳转图示。



首次 Training 会依次经历 4 个 link training state:

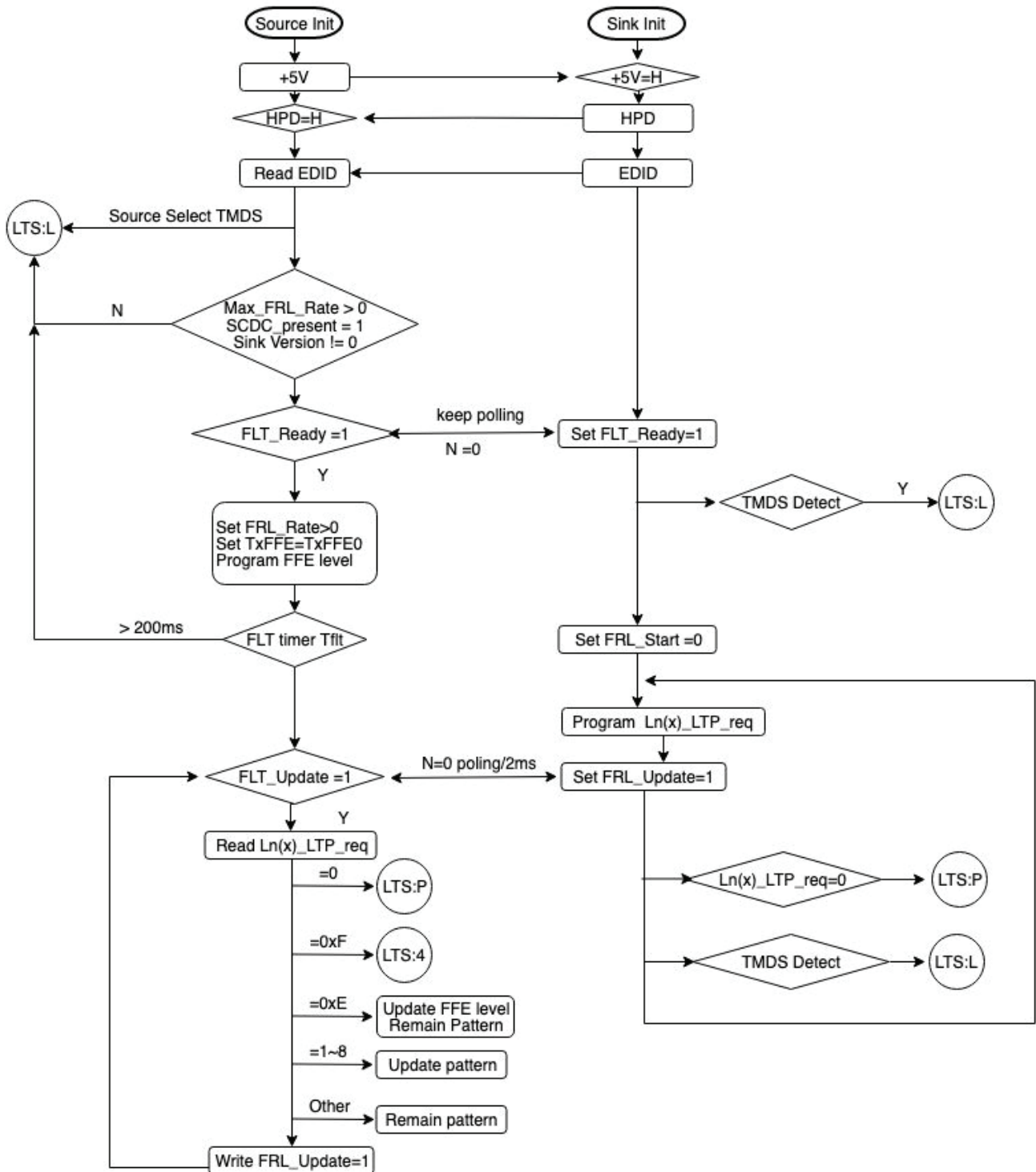
LT State	Source Behavior	Sink Behavior
LTS:1 Read EDID	读取解析 EDID 后，判断 Sink 是否支持 FRL mode，满足以下 3 个条件为支持 FRL_Max_Rate >0 SCDC_present =1 Sink Version !=0	提供 EDID 和设置 SCDC
LTS:2 Prepare for FRL	Source 反复查询，直到 SCDC FLT_Ready 为 1 设置 FRL_Rate 和 FFE level	Sink 准备好 link training 时，把 SCDC FLT_Ready 设置为 1
LTS:3 Training in progress	根据 Ln(x)_LTP_req 寄存器值，发出相应 pattern Ln(x)_LTP_req=0 进入下个 LTS:P 状态	设置 FRL_Start=0 通过 Ln(x)_LTP_req 寄存器，为每个 lane 请求 pattern
LTS:P FRL training passed	开始 FRL 传输 查询 FRL_Start=1 才开始音视频传输	检测到 FRL 传输后，设置 FRL_Start=1，准备接收音视频

Source TX 测试都是在 LTS:3 状态下完成，测试设备把 SCDC FLT_no_timeout 设置为 1，这样 source 超过 LT Tflt =200ms 时，才不会退出 FRL LT 状态。测试项目需要 pattern 和 FFE level 也是在这个状态下请求和发出的。

当 Link 更新 FRL rate 时，会使用到状态 LTS:4 Update FRL_Rate

当 Link training 失败或者超时，会进入状态 LTS:L Legacy TMDS。Source 和 Sink 工作在 TMDS 模式，也就是 HDMI1.4b/2.0 模式。

Link training 状态转换也可以参考下图。



HDMI2.1 FRL 测试项目

Measurement	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit	Unit
HFR1-1 : DC Common Mode	LTP5678	LTP5678	3*73728 UIs	Min	Avcc-800mV	Avcc+30mV	V
HFR1-2 : Vse_Max, Vse_Min	LTP5678	LTP5678	3*73728 UIs	Min	DC common mode - 375mV	DC common mode + 375mV	V
HFR1-3 : Rise/Fall Slew rate	LTP4	LTP2	500 / 500	Max	-	16mv/ps	mV/ps
HFR1-4 : Inter pair Skew	LTP5678	LTP5678	-	Max	-	4TBit	Tbit
HFR1-5 : FRL Rate	LTP3	LTP2	1M	Max, Min	-300ppm	+300ppm	ppm
HFR1-6 : Random Jitter	LTP3	LTP2	1M	Max, Min	-	0.2TBit	Tbit
HFR1-7 : Data lane Eye Diagram	LTP5678	LTP5678	2M	Max, Min	Mask Hit =0	#	
HFR1-8 : AC Common Mode Noise	LTP5678	LTP2	1M	Max	-	150mV	V
HFR1-9 : FFE Monotonicity	LTP4	LTP1	~192	Max	Delta preshot < 0dB	Delta de-emphasis > 0dB	dB

- LTP1 – All 1’ pattern
- LTP2 – All 0’ pattern
- LTP3 – Clock pattern
- LTP4 – 128 zeros followed by 128 ones pattern
- LTP5/6/7/8 – Predefined sequence of 4096 FRL characters

测试项目的要求：

项目	HDMI1.4b/2.0	HDMI2.1
Pattern	没有 pattern 要求，输出相应分辨率即可	需要相应 pattern，共定义了 8 种 Link Training Pattern，依次简称为 LTP1 ~ LTP8。其中 LTP5 只在 FRL Lane0 上传输，LTP6/7/8 依次对应到 FRL Lane1/2/3
串扰	NA	计算眼图时，需要考虑其他 lane 引入的串扰
Data Rate	1.4b 测试的速率与分辨率对应， 2.0 测试的速率与分辨率对应， 2.1 测试信号速率与分辨率无法，是固定速率 3/6/8/10/12Gbps 以眼图为例： 1.4b 要求测试所有速率下的眼图。 2.0 和 2.1 只要求测试最大速率和最小速率的眼图。	常测的有 0.27/742.5/1.485/2.97 Gbps 常测的有 3.71/4.45/5.94Gbps

测试 Pattern 和 Data Rate 的实现

测试项目需要的 pattern，Sink 在 SCDC offset 0x41/42 的 Ln(x)_LTP_req 位置设定，例如 Lane 0 需要 LTP5 时，Sink 需要在 offset 0x41 的 bit0 ~ bit4 写入 0b0101 (这是 LTP5 在 Link training pattern 列表的 code)。Source 读取到 Ln0_LTP_req 为 0b0101 时，就需要在 Lane0 上输出 LTP5。

SCDCS–Status Flags

Offset	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x40	DSC_DecodeFail	FLT_ready	Rsvd (0)	Lane3_Locked	Ch2_Ln2_Locked	Ch1_Ln1_Locked	Ch0_Ln0_Locked	Clock_Detected
0x41	Ln1_LTP_req				Ln0_LTP_req			
0x42	Ln3_LTP_req				Ln2_LTP_req			

- Ln0_LTP_req [4 bits] Sink shall set this field during Link Training (Section 6.4.2) with a code from Table 6-32 to indicate the Link Training Pattern requested by the Sink for Lane 0. Link Training Patterns are independent for each Lane.

Link Training Patterns

Symbol	Code	Description
No LTP	0b0000	No Link Training Pattern requested.
LTP1	0b0001	All 1's pattern Source sends 18 continuous 1's without 16b18b encoding.
LTP2	0b0010	All 0's pattern Source sends 18 continuous 0's without 16b18b encoding.
LTP3	0b0011	Nyquist clock pattern. Source sends an alternating pattern of 0 and 1 (one bit time each) without 16b18b encoding. When FLT_no_timeout is cleared (=0), Source shall ignore this request, clear (=0) FLT_update and continue sending the previous pattern.
LTP4	0b0100	Source TxFFE Compliance Test Pattern. 128 zeros followed by 128 ones, repeating pattern.
LTP5	0b0101	LFSR 0. Source transmits a sequence of 4096 FRL Characters, starting with 4 SR Characters; followed by 4092 characters generated by encoding the 16 bit output of the Data Lane 0 scrambling LFSR using 16b18b encoding. The first few characters of this sequence are shown in Table 6-33.
LTP6	0b0110	LFSR 1. Source transmits a sequence of 4096 FRL Characters, starting with 4 SR Characters; followed by 4092 characters generated by encoding the 16 bit output of the Data Lane 1 scrambler LFSR using 16b18b encoding. The first few characters of this sequence are shown in Table 6-33.
LTP7	0b0111	LFSR 2. Source transmits a sequence of 4096 FRL Characters, starting with 4 SR Characters; followed by 4092 characters generated by encoding the 16 bit output of the Data Lane 2 scrambler LFSR using 16b18b encoding. The first few characters of this sequence are shown in Table 6-33.
LTP8	0b1000	LFSR 3. Source transmits a sequence of 4096 FRL Characters, starting with 4 SR Characters; followed by 4092 characters generated by encoding the 16 bit output of the Data Lane 3 scrambler LFSR using 16b18b encoding. The first few characters of this sequence are shown in Table 6-33.
Reserved	0b1001-0b1101	Reserved
Special	0b1110	Special coded message from Sink to Source to ask that FFE be updated (See LTS:3). If the Sink determines that a different FFE setting is needed on one or more Lanes, the Sink may set one or more Ln(x)_LTP_req fields to 0x0E while setting remaining Ln(x)_LTP_req fields to the range 0x0 to 0x8.
Special	0b1111	Special coded message from Sink to Source to change link mode (rate). Note: when this special code is used, the Sink shall set Ln(x)_LTP_req for all active Lanes to 0x0F simultaneously.

测试 Data Rate 设定

由 Source 在 SCDC offset 0x31 位置的 sink Configuration 中设定。例如需要测试 12Gbps 速率时, Source 在 FRL_Rate 位置写入 0x6。

若支持 FFE 测试项目, FFE level 通过 FFE_level 位置设定. 规范定义 TxFFE0 ~ TxFFE3 四种 level, 可写入的值为 0 ~ 3; 其他值为保留值。

SCDCS–Sink Configuration

Offset	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x30	Rsvd (0)	Rsvd (0)	Rsvd (0)	Rsvd (0)	Rsvd (0)	Rsvd (0)	FLT_no_retrain	RR_Enable
0x31	FFE_Levels				FRL_Rate			

- FRL_Rate [4 bits]
 - 0: Disable FRL.
 - 1: Fixed Rate Link at 3 Gbps per Lane on 3 Lanes (0, 1, and 2).
 - 2: Fixed Rate Link at 6 Gbps per Lane on 3 Lanes (0, 1, and 2).
 - 3: Fixed Rate Link at 6 Gbps per Lane on 4 Lanes.
 - 4: Fixed Rate Link at 8 Gbps per Lane on 4 Lanes.
 - 5: Fixed Rate Link at 10 Gbps per Lane on 4 Lanes.
 - 6: Fixed Rate Link at 12 Gbps per Lane on 4 Lanes.
 - 7-15: Reserved

Sources select the FRL rate and Lane count by writing into this register. This field is written by the Source during the Link Training protocol described in Section 6.4.2.3.

- FFE_Levels [4 bits] The Source shall set this field to indicate the maximum TxFFE level supported for the current FRL Rate.

Values greater than 3 are reserved.

HFR1-1 Source FRL Electrical – DC Common Mode

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP1	LTP5/6/7/8	LTP5/6/7/8	3*73728 UIs	Min	AVCC-800mV	AVCC+30mV

Note: AVCC=3.3V

验证差分信号的直流偏置电压。

以测试 Lane0 为例，Lane0 发送 LTP5 码型，其他 aggressor Lane1/2/3 分别发送 LTP 6/7/8 码型。

报告示例：

HFR1-1 : DC Common Mode Voltage								
Lane	Iteration	Measurement Details	Measured Value	Units	Test Result	Margin	Low Limit	High Limit
Lane0	Run0	DC Common Mode at 12Gbps	2765.1868	mV	Pass	265.1868, 564.8132	2500.0	3330.0

HFR1-2: Source FRL Electrical – Vse_max, Vse_min

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP1	LTP5/6/7/8	LTP5/6/7/8	3*73728 UIs	Min	DC common mode - 375mV	DC common mode + 375mV

测量每个 lane 的差分信号的 data+ 和 data- 的最大值和最小值。DC Common mode 的值来自 HFR1-1 测量值。例如以下示例的 limit：

High limit= 2765.1868+375=3140.1868mv,

Low limit= 2765.1868-375=2390.1868mV,

报告示例：

HFR1-2 : Vse_max, Vse_min								
Lane	Iteration	Measurement Details	Measured Value	Units	Test Result	Margin	Low Limit	High Limit
Lane0	Run0	Vse_MinLane0+ at 12Gbps	2462.1638	mV	Pass	71.9770, 678.0230	2390.1868	3140.1868
Lane0	Run0	Vse_MaxLane0+ at 12Gbps	3066.6576	mV	Pass	676.4708, 73.5292	2390.1868	3140.1868
Lane0	Run0	Vse_MinLane0- at 12Gbps	2445.4595	mV	Pass	55.2727, 694.7273	2390.1868	3140.1868
Lane0	Run0	Vse_MaxLane0- at 12Gbps	3063.9259	mV	Pass	673.7391, 76.2609	2390.1868	3140.1868

HFR1-3: Source FRL Electrical – RISE/FALL Slew Rate

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP1	LTP4	LTP2	500	Max		16mV/ps

由于较快的边沿潜在的辐射，规范要求 FRL 信号的上升 / 下降斜率必须小于 16mV/ps。

测试码型使用的 LTP4, 128 个“0”和 128 个“1”交替的码型。以 10G 信号为例，频率约是 39.06MHz 的方波信号，如下图所示。

报告示例：

HFR1-3 : Rise/Fall Slew Rate								
Lane	Iteration	Measurement Details	Measured Value	Units	Test Result	Margin	Low Limit	High Limit
Lane3+	Run1	RISESLEWRATE1 at 10Gbps	5.8994	mV/ps	Pass	10.1006	NA	16.0
Lane3+	Run1	FALLSLEWRATE 1 at 10Gbps	5.0371	mV/ps	Pass	10.9629	NA	16.0
Lane3-	Run1	RISESLEWRATE2 at 10Gbps	5.7077	mV/ps	Pass	10.2923	NA	16.0
Lane3-	Run1	FALLSLEWRATE 2 at 10Gbps	4.6035	mV/ps	Pass	11.3965	NA	16.0



HFR1-4: Source FRL Electrical – Inter-Pair Skew

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP1	LTP5/6/7/8	LTP5/6/7/8	-	Max	-	4Tbit

任意两个 lane 之间的 skew 都不能超过 4Tbit, Tbit 即一个 bit 的时间宽度，与其他规范的 UI 含义一样。

以 4 lane 模式为例，需要测量 6 种情况：Lane0-Lane1；Lane0-Lane2；Lane0-Lane3；Lane1-Lane2；Lane1-Lane3；Lane2-Lane3。

当测试 Lane0-Lane2 的 skew 时，Lane0 发出 LTP5, Lane2 发出 LTP7。LTP5/6/7/8 中包含可用于 skew 测试的 SR characters (Scramble Reset Characters)。两个 lane 的 SR character 的 skew 即是 Inter-pair skew，因为规范要求 source 必须在所有 lane 上同时发出 SR character

First states of the of patterns LTP5, LTP6, LTP7 and LTP8

Sequence	LTP5 16-bit data value [15:0]	LTP6 16-bit data value [15:0]	LTP7 16-bit data value [15:0]	LTP8 16-bit data value [15:0]
1	Scrambler Reset ⁽¹⁾	Scrambler Reset	Scrambler Reset	Scrambler Reset
2	Scrambler Reset	Scrambler Reset	Scrambler Reset	Scrambler Reset
3	Scrambler Reset	Scrambler Reset	Scrambler Reset	Scrambler Reset
4	Scrambler Reset	Scrambler Reset	Scrambler Reset	Scrambler Reset
5	0xFFFF	0xFFFE	0xFFFD	0xFFFC
6	0x4B7C	0x737D	0x3B7E	0x037F
7	0xDDBD	0x3838	0x2EB6	0xCB33
8	0xFEFA	0x45B9	0xB07D	0x0B3E
9	0x0A44	0x8A08	0x32DD	0xB291
10	0xABDC	0x355C	0xAEDD	0x305D
11	0x9B17	0xC1F2	0x2EDD	0x7438

Note:

⁽¹⁾ Scrambler Reset is an 18 bit character; all other values represent 16 bit hexadecimal output of the Scrambler LFSRs prior to 16b18b encoding.

报告示例:

HFR1-4 : Inter-Pair Skew								
Lane	Iteration	Measurement Details	Measured Value	Units	Test Result	Margin	Low Limit	High Limit
Lane0-Lane2	Run0	HFR1-4 : Inter-Pair Skew_12Gbps	-0.3583	TBIT	Pass	3.6417, 4.3583	-4.0	4.0

HFR1-5: Source FRL Electrical – FRL Rates +/- 300ppm

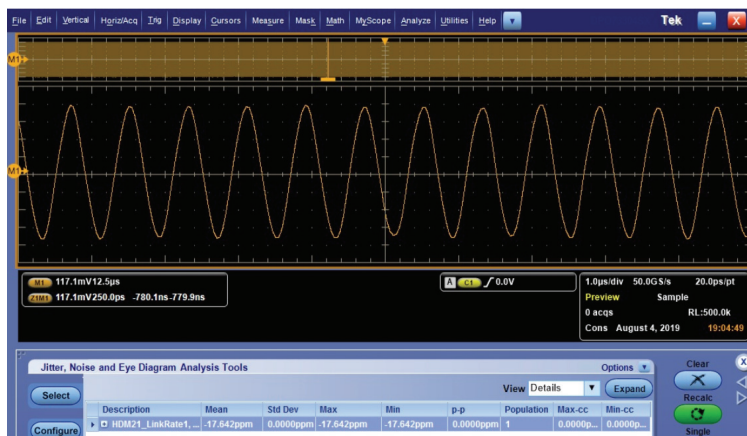
Test Point	Victim Lane	Aggressor Lane	Min Uls	Data Rate	Low Limit	High Limit
TP1	LTP3	LTP2	1M	Max, Min	-300ppm	+300ppm

测量实际 FRL 信号的速率相对于标准速率的精度，波动范围在正负 300ppm 以内。

测试码型使用 LTP3，即“0”和“1”交替的时钟码型，如下图所示。其他 aggressor lane 发全 0 码型。

报告示例:

HFR1-5 : FRL Rates								
Lane	Iteration	Measurement Details	Measured Value	Units	Test Result	Margin	Low Limit	High Limit
Lane0	Run1	Link Rate at 10Gbps	-17.7436	ppm	Pass	282.2564, 317.7436	-300.0	300.0
Lane1	Run1	Link Rate at 10Gbps	-18.1620	ppm	Pass	281.8380, 318.1620	-300.0	300.0
Lane2	Run1	Link Rate at 10Gbps	-17.9058	ppm	Pass	282.0942, 317.9058	-300.0	300.0
Lane3	Run1	Link Rate at 10Gbps	-17.6421	ppm	Pass	282.3579, 317.6421	-300.0	300.0



HFR1-6: Source FRL Electrical – Data Jitter (Rj)

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP2_EQ	LTP3	LTP2	1M	Max, Min	-	0.2Tbit

对所有 FRL 速率，在误码率是 10e-10 时，Rj 都要小于 0.2Tbit。测试时，只需要测试所支持的最大和最小速率。测试码型使用 LTP3，即“0”和“1”交替的时钟码型，如上图所示。其他 aggressor lane 发全 0 码型。

报告示例：

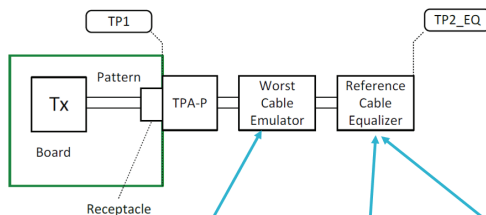
HFR1-6 : Data Jitter (Rj)								
Lane	Iteration	Measurement Details	Measured Value	Units	Test Result	Margin	Low Limit	High Limit
Lane0	Run1	RMS at 10Gbps	0.7824	ps	Informative		NA	NA
Lane0	Run1	Peak to Peak at 10Gbps	0.0995	UI	Pass	0.1005	NA	0.2

HFR1-7: Source FRL Electrical – Data Eye Diagram

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP2_EQ	LTP5/6/7/8	LTP5/6/7/8	2M	Max, Min	Max Hit = 0	

以测试 Lane0 为例，Lane0 发送 LTP5 码型，其他 aggressor Lane1/2/3 分别发送 LTP 6/7/8 码型。测试点是 TP2_EQ 的位置；规范定义两种 Cable mode: Category 3 Worst Cable Mode (WCM3) and Category 3 Short Cable Mode (SCM3)。规范定义两种均衡：1 ~ 8 dB 的 CTLE 和 DFE 1-tap d1 value 25mV。

应用场景如下：

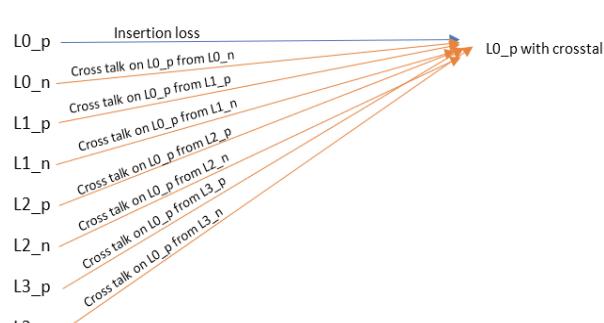


TX TP2 EQ eye	Cable mode	CTLE	DFE
12G	WCM3	8dB	25mV (d1 value)
	SCM3	1dB	None
3/6/8/10G	WCM3	8dB	None
	SCM3	1dB	None

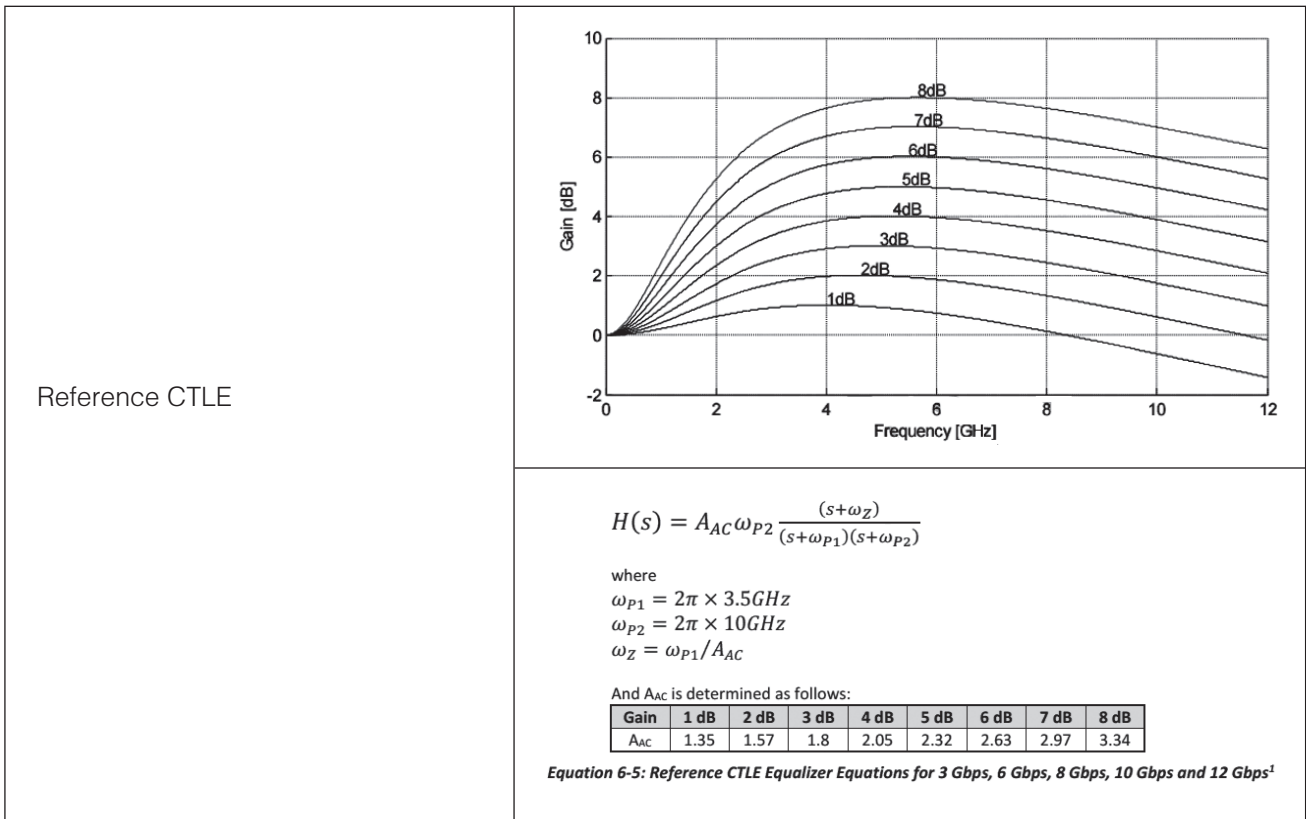
信号在 TP1 采集后，应用 cable 模型后，再应用参考 cable 均衡后得到 TP2_EQ 位置的眼图。

SCM3 使用 1dB 的 CTLE；
WCM3 使用 8dB 的 CTLE。

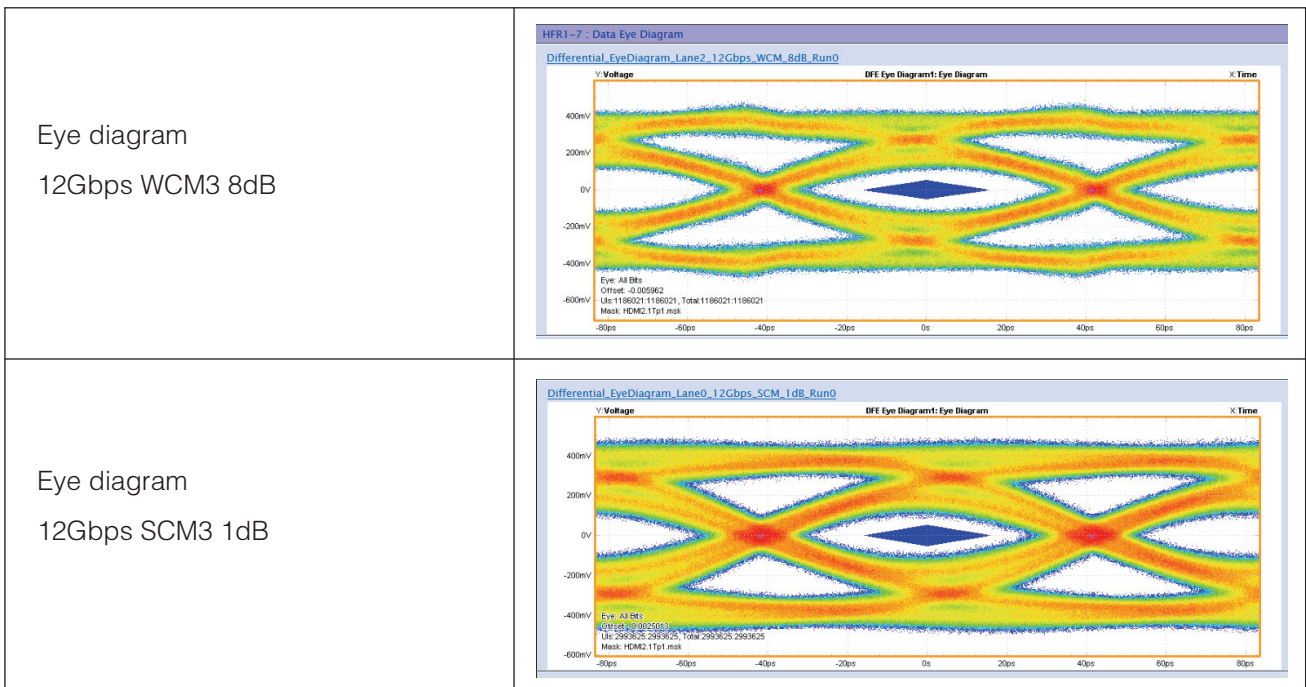
DFE 只在 12Gbps 速率，WCM3 情况下使用。



眼图计算方法更为复杂
既要考虑 Cable 模型的 Insertion loss，也要考虑其他 lane 引入的 cross talk 的，如左图所示。



报告示例:



HFR1-8: Source FRL Electrical – AC Common Mode Noise

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP1	LTP5/6/7/8	LTP2	1M	Max	-	150mV

验证 AC 共模噪声低于标称差分摆幅 (1000mV) 的 15%，即 150mV，以确保共模噪声辐射低于要求值。

以测试 Lane0 为例，Lane0 发送 LTP5 码型，其他 aggressor Lane 发送 LTP2，即全“0”码型。

报告示例：

HFR1-8 : AC Common Mode Voltage								
Lane	Iteration	Measurement Details	Measured Value	Units	Test Result	Margin	Low Limit	High Limit
Lane0	Run0	AC Common Mode at 12Gbps	75.2130	mV	Pass	74.7870	NA	150.0

HFR1-9: Source FRL Electrical – FFE Monotonicity

Test Point	Victim Lane	Aggressor Lane	Min UIs	Data Rate	Low Limit	High Limit
TP1	LTP4	LTP1	~192	Max	Delta Pre-shoot < 0dB Delta De-emphasis >0dB	

FFE 是可选支持功能，只有 Source 和 Sink 都支持时，才能启用。

在不支持 FFE 情况下，Source 输出也要满足 TP2_EQ 眼图的要求。

以测试 Lane0 为例，Lane0 发送 LTP4 码型，即 128 个“0”和 128 个“1”交替。其他 aggressor Lane 发送 LTP1，即全“1”码型。

Source 支持 FFE 功能，才需要执行这项测试。若支持的话，最高可以支持 4 种设置，TxFFE0 到 TxFFE3。且从 TxFFE0 变化到 TxFFE3，Pre-shoot 和 De-emphasis 要具有单调性。即 Pre-shoot 单调增加，De-emphasis 单调减小。

规范给出的 FFE 系数如下表：

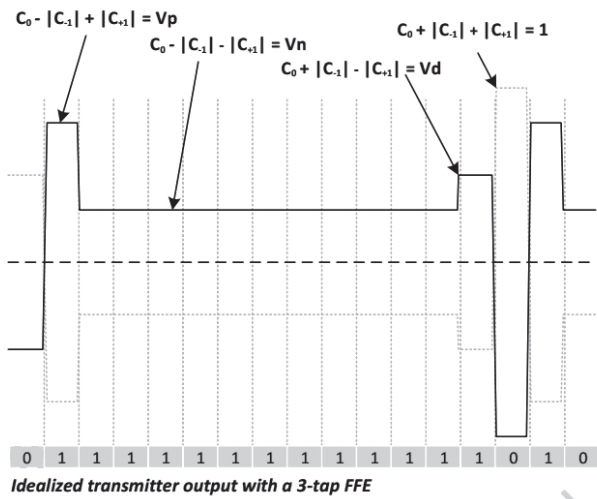
Example FFE coefficients and the resulting Pre-shoot and De-emphasis (Informative)

TxFFE	C ₋₁	C ₀	C ₊₁	Pre-shoot (dB)	De-emphasis (dB)
3 = TxFFE3	-0.083	0.667	-0.25	3.52	-7.96
2 = TxFFE2	-0.083	0.708	-0.208	2.92	-6.02
1 = TxFFE1	-0.083	0.75	-0.167	2.5	-4.44
0 = TxFFE0 <Default>	-0.083	0.792	-0.125	2.18	-3.10

In all cases, the following relationship should be true:

$$C_0 - C_{-1} - C_{+1} = 1$$

Pre-shoot 和 De-emphasis 参考定义如下图



De-emphasis and Pre-shoot dB with 3-tap FFE are computed as follows:

$$De-emphasis (dB) = 20 * \log \left(\frac{C_0 - |C_{-1}| - |C_{+1}|}{C_0 - |C_{-1}| + |C_{+1}|} \right) = 20 * \log \frac{V_n}{V_p}$$

$$Pre-shoot (dB) = 20 * \log \left(\frac{C_0 + |C_{-1}| - |C_{+1}|}{C_0 - |C_{-1}| - |C_{+1}|} \right) = 20 * \log \frac{V_d}{V_n}$$

规范给出的测量 Pre-shoot 和 De-emphasis 的方法之一，需要分别测试 Vp, Vd 和 Vn。

需方使用 SCDC offset 0x35 Source Test Configuration, 分别让 Source 进入 Pre-shoot Only 模式, De-Emphasis_Only 模式和 Normal 模式, 依次测量 Vp, Vd 和 Vn, 再计算 Pre-shoot 和 De-emphasis。

SCDCS-Source Test Configuration

Offset	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x35	FRL_Max	DSC_FRL_Max	FLT_no_timeout	Rsvd(0)	TxFFE_No_FFE	TxFFE_De_Emphasis_Only	TxFFE_Pre_Shoot_Only	Rsvd(0)

- TxFFE_Pre_Shoot_Only** [1 bit] Test Mode: When TxFFE_Pre_Shoot_Only is set (=1) by the Sink, Sources shall enter Pre-shoot only mode within 1 second. If TxFFE_Pre_Shoot_Only is set and then cleared (=0), Sources shall exit Pre-shoot only mode within 1 second.
- TxFFE_De_Emphasis_Only** [1 bit] Test Mode: When TxFFE_De_Emphasis_Only is set (=1) by the Sink, Sources shall enter De-Emphasis only mode within 1 second. If TxFFE_De_Emphasis_Only is set and then cleared (=0), Sources shall exit De-Emphasis only mode within 1 second.
- TxFFE_No_FFE** [1 bit] Test Mode: When TxFFE_No_FFE is set (=1) by the Sink, Sources shall enter No FFE mode within 1 second. If TxFFE_No_FFE is set and then cleared (=0), Sources shall exit No FFE mode within 1 second.

<p>测量 Vd 在 SCDC offset 0x35 中，TxFFE_De_Emphasis_Only 的位置写入 1。待测的 source 进入 De_Emphasis_Only 模式，Pre_shoot 设置 0dB</p>	<p><i>Idealized Source output when configured to transmit LTP4 with De-emphasis only test mode</i></p>
<p>测量 Vp 在 SCDC offset 0x35 中，TxFFE_Pre_shoot_Only 的位置写入 1。待测的 source 进入 Pre-shoot Only 模式，De-emphasis 设置 0dB</p>	<p><i>Idealized Source output when configured to transmit LTP4 with Pre-shoot only test mode</i></p>
<p>测量 Vn 在 Normal 情况下测量 Vn</p>	<p><i>Idealized Source output when configured to transmit LTP4 during normal operation</i></p>

解决方案和配置

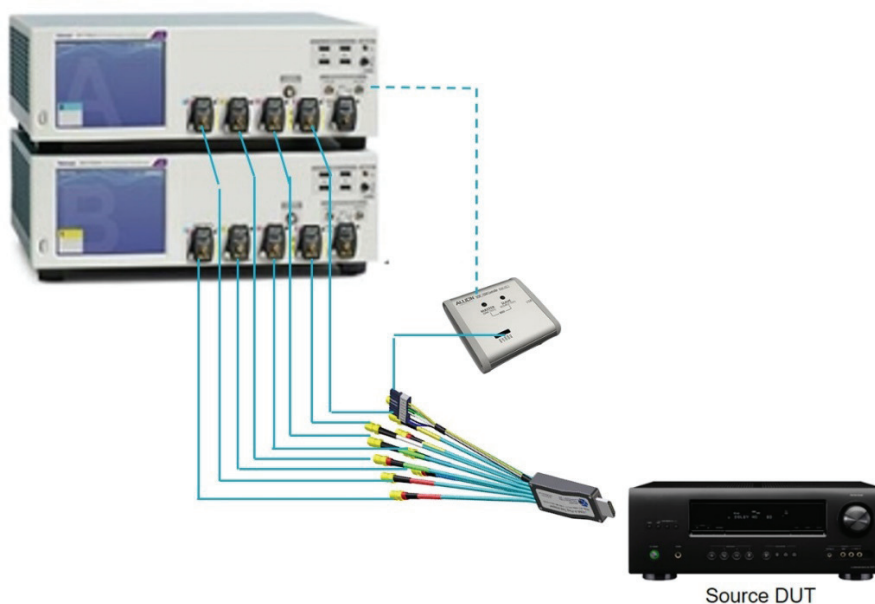
Equipment/Accessories	Details	Quantity
Scope	DPO 70000 SX Oscilloscopes with BW \geq 23GHz	1 or 2
Probe	P76/77XX Tri-mode probe or SMA matched pair cables	4
Fixture	HDMIA2.1-TPA-P	1
Controller	EDID/SCDC controller	1
Software Options	Opt DJA, Opt DJAN, Opt SDLA, and Opt HDMI21_TX	1 each
UltraSync cable	Required only for stacked SX configuration	1 (Optional)

由于 FRL 模式最高支持 12Gbps 的速率，要求示波器的带宽不低于 23G，为了保证更好的测量精度以及测试的合规性，示波器的带宽越高越好。

提供两种配置方式适用不同客户需求；通过测试软件与 EDID/SCDC controller 的配合，实现测试速率和码型的自动设定，以实现整个自动化的测试，提高测试效率，减少人为因素的影响。

配置一：DPO 70000 SX 示波器级联方案

两台 DPO 70000 SX 示波器，使用 UltraSync cable 同步，可以把所有通道的 skew 调整到 1ps 内，确保所有单端信号采集的同步性。治具到示波器的连接使用 SMA cable，支持同时采集 4 个 lane FRL 信号，测试过程不需要更改硬件连接，信号路径没有衰减，采集速度快。

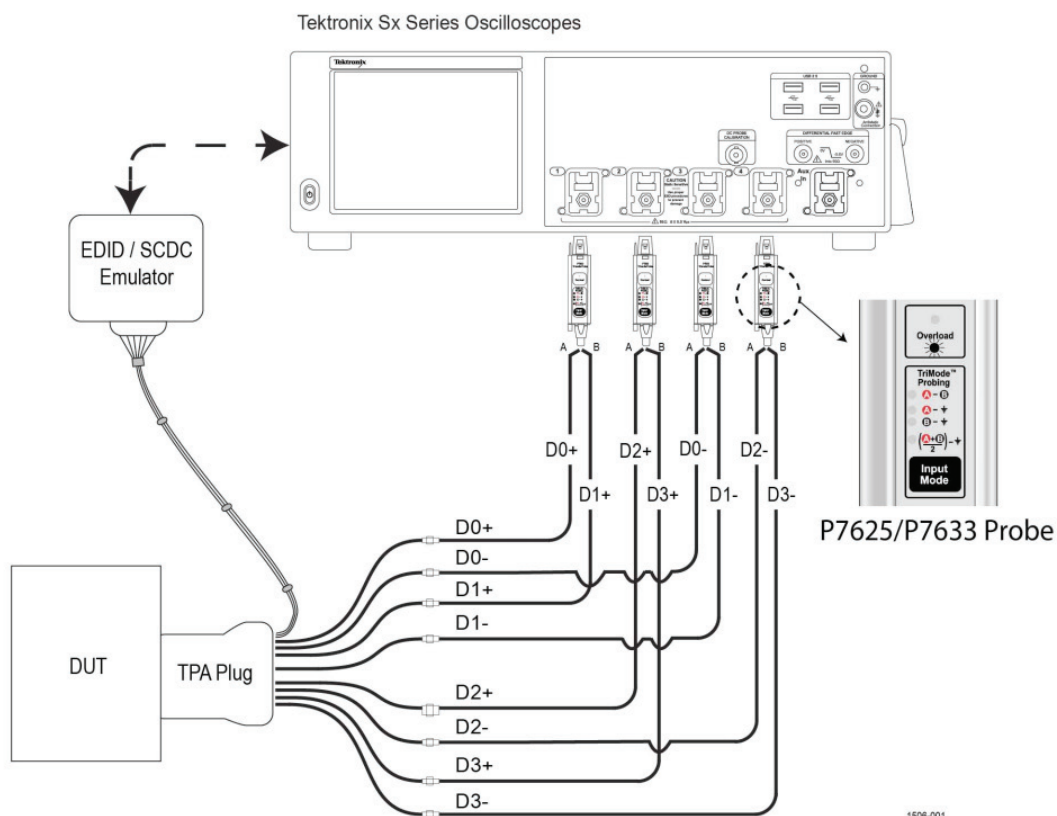


配置二：DPO70000SX 示波器搭配 Tri-mode 探棒

P76/77xx 探棒搭配 SMA 转换头可以实现与治具的连接。



利用 Tri-mode 探棒的特性，测试软件自动控制探棒工作在单端模式 A-GND 和 B-GND，分次完成对 4 lane FRL 信号的采集。测试过程也不需要更改硬件连接。连接示意图如下，示波器会对探棒进行自动去嵌，消除探棒对信号的影响。兼顾效率和成本。

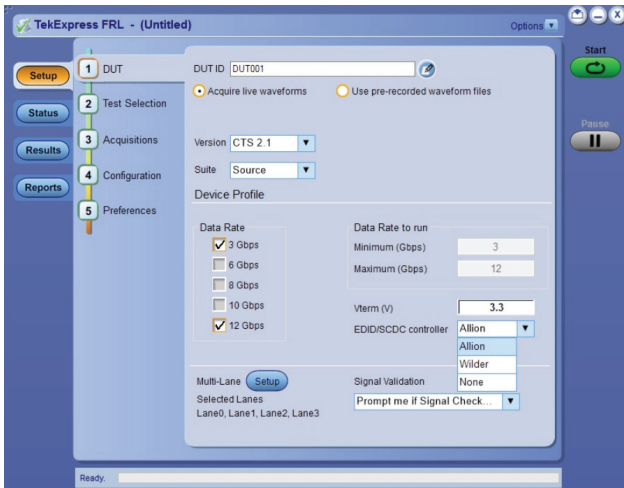


1506-001

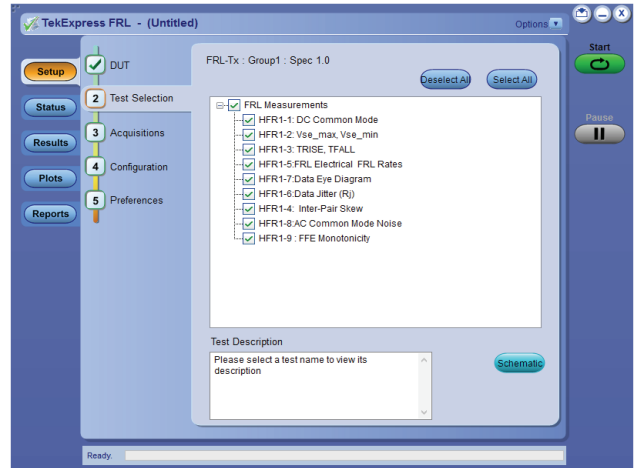
Tekexpress FRL 设置

FRL 模式测试软件为 Tekexpress FRL, 软件界面如下。

根据待测产品的技术规格, 选择支持的最低速率和最高速率。在 Multi-lane setup 中选择需要测试 lane, EDID/SCDC controller 选择对应的厂家。



Test Selection 界面选择相应测试项目, 测试项目不再区分单端和差分, 因为测试方案可以自动实现所有单端信号的采集和差分信号的采集运算。



泰克示波器利用通道可调端接电压, Tri-mode 探棒的单端特性 / 示波器级联特性, 以及与 EDID/SCDC 模拟器配合, 实现了 HDMI2.1 FRL 源端测试的真正自动化, 提高了测试效率。专门针对 FRL 信号的优化算法, 加快了测试速度。从而帮助客户快速验证 HDMI2.1 产品, 加速客户产品市场化的过程。



泰克官方微信

如需所有最新配套资料，请立即与泰克本地代表联系！

或登录泰克公司中文网站：www.tek.com.cn

泰克中国客户服务中心全国热线：400-820-5835

泰克科技(中国)有限公司

上海市浦东新区川桥路1227号
邮编：201206
电话：(86 21) 5031 2000
传真：(86 21) 5899 3156

泰克北京办事处

北京市海淀区花园路4号
通恒大厦3楼301室
邮编：100088
电话：(86 10) 5795 0700
传真：(86 10) 6235 1236

泰克上海办事处

上海市长宁区福泉北路518号
9座5楼
邮编：200335
电话：(86 21) 3397 0800
传真：(86 21) 6289 7267

泰克深圳办事处

深圳市深南东路5002号
信兴广场地王商业大厦3001-3002室
邮编：518008
电话：(86 755) 8246 0909
传真：(86 755) 8246 1539

泰克成都办事处

成都市锦江区三色路38号
博瑞创意成都B座1604
邮编：610063
电话：(86 28) 6530 4900
传真：(86 28) 8527 0053

泰克西安办事处

西安市二环南路西段88号
老三届世纪星大厦26层L座
邮编：710065
电话：(86 29) 8723 1794
传真：(86 29) 8721 8549

泰克武汉办事处

武汉市洪山区珞喻路726号
华美达大酒店702室
邮编：430074
电话：(86 27) 8781 2760

泰克香港办事处

香港九龙尖沙咀弥敦道132号
美丽华大厦808-809室
电话：(852) 2585 6688
传真：(852) 2598 6260

如需更多资源，敬请访问 WWW.TEK.COM.CN。

© 泰克科技公司版权所有，侵权必究。泰克产品受到已经签发及正在申请的美国专利和国外专利保护。本文中的信息代替所有以前出版的材料中的信息。技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和泰克徽标是泰克公司的注册商标。本文提到的所有其他商号均为各自公司的服务标志、商标或注册商标。

2019年8月

