

# 如何实现 PCIe Gen3/Gen4 接收端链路均衡测试

实践篇



## 目录

术语表.....	3
1 引言 .....	4
2 接收端链路均衡测试 ( Rx LEQ ) .....	4
2.1 压力眼图的校准 .....	5
2.2 进入环回模式.....	10
2.3 进行误码率测试 .....	11
3 诊断和调试.....	12
4 结论 .....	13

### 术语表

术语	英文	描述
Link		链路。在同一个 LTSSM 状态机的组织下，两个方向上的所有的数据通路组成的整体。
Data Lane		数据通路。一个 Tx 和一个 Rx 通过信号组成的整体。
LEQ	Link Equalization	链路均衡：PCIe 中通过物理层协议的方式，动态地调整链路上双方的均衡设置的过程
AIC	Add-in Card	插卡
SYS	System Board	系统板
DS	Downstream Port	下行端口。例如系统板上的端口、桥器件上面向插卡端的端口均为下行端口。
US	Upstream Port	上行端口。例如插卡上的端口、桥器件上面向系统板端的端口为上行端口。
Preset		预设定值。PCIe 3.0&4.0 中发送端均衡器的一些特定的系数组合。
RC	Root Complex	
EP	Endpoint	

## 1 引言

上一篇文章主要侧重于 PCIe 3.0/4.0 的链路均衡的工作原理。本篇将重点介绍 Rx 链路均衡的测试和调试，泰克公司的自动化软件为此提供了业界最优的解决方案。

## 2 接收端链路均衡测试 ( Rx LEQ )

在 PCIe 2.0 的时代，通常只要保证了发送端的信号质量，那么整个系统也就能够正常工作；因此接收端测试并不是必测项。但在 PCIe 3.0/4.0 中，由于速率成倍数的增加；并且又经过长走线的传输，因此在接收端

采用了复杂的均衡技术；因此在 PCIe 3.0/4.0 中接收端测试属于必测项。

泰克公司的 BSX 系列的误码仪是业界高性能的串行误码仪，能够实现高达 32Gbps 的码型发生和误码分析功能，同时其内部集成有预加重模块、噪声注入、抖动注入等，支持基于协议的握手功能。因此非常适合 PCIe 3.0 和 4.0 的接收端测试。由于 BSX 系列最高支持到 32Gbps，因此它也可以充分地满足未来的 PCIe 5.0 的接收端测试的要求。图 1 是使用 BSX 系列的误码仪进行 PCIe 3.0 的接收端测试的示意图。



图 1. PCIe 3.0 的接收端测试的示意图

在 PCIe 3.0 & 4.0 的接收端内部集成了复杂的单元，例如：均衡电路、时钟恢复电路、以及判决电路等；它们都是不能直接探测到的。因此，接收端对于测试人员来说，是一个黑盒子。PCI-SIG 协会规范开发人员，在面临此种困难时，开发了一套被称作“压力眼图 ( Stressed Eye )”的方法论来完成对接收端的评估。这种方法论的核心思想就是：通过向接收端施加一个严重劣化的信号（即压力眼图），来检测在此种情况下，接收端是否仍能够正确地接收信号。因此，无论是 PCIe 3.0 & 4.0 Rx LEQ 的测试，基本上都可以分解成三个步骤：压力眼图的校准、进入环回模式、进行误码率测试。

- **压力眼图的校准：**它包括，定量地规定这个劣化信号劣化到何种程度（规格要求）；通过何种步骤能够生成这一劣化信号（生成方法）；如何判断所生成的劣化信号达到了其规格要求（测量方法）；
- **进入环回模式：**为了检测接收端是否正确接收该信号；需要将已经接收到的信号原封不动地环回到待测的发送端；然后误码仪对这个环回的信号进行判断。因此需要让待测进入环回模式。
- **进行误码率测试：**使用规定好的码型进行误码率测试。

在压力眼图的校准时，涉及到信号的特性分析以及调整迭代，这些都需要反复进行，人工手动操作非常地耗时，并且吃力不讨好。为此，泰克公司提供了业界

最优的 PCIe Rx 自动化测试软件（BSXPCI4CEM），如图 2 所示。通过泰克公司的 PCIe Rx 自动化测试软件，可以大大缩短开发人员的研发时间，提供产品的可靠性。

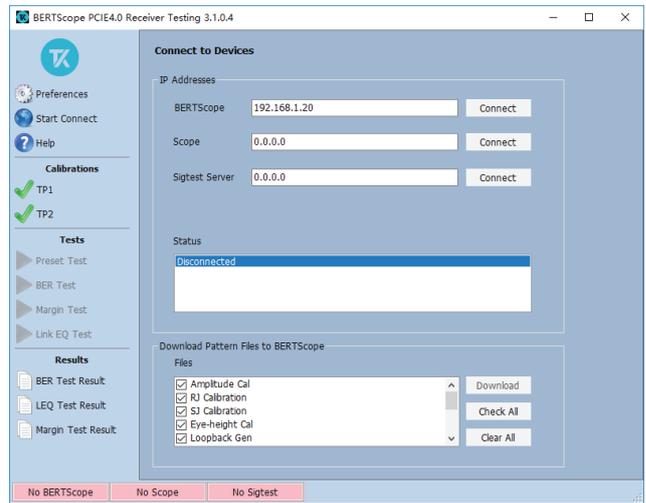


图 2. 泰克 PCIe Rx 自动化软件 GUI 界面

## 2.1 压力眼图的校准

如前所述，对于这个压力眼图恶劣到何种程度，必须要进行精确地定量地描述，因此在 PCIe 的规范中，给出了这个压力眼图的要求，如表 1、表 2 所示。

表 3 PCIe Gen3 CEM 接收端校准的要求

Parameter	Target Values	Ref Plane	SigTest		Notes
			Technology	Template	
Waveform Requirement	1.6M UI' s	TP1	N.A	N.A	1.6 x 10 <sup>6</sup> x 125ps = 200.0 μ s
Amplitude	800 mV ± 4mV	TP1	N.A	N.A	
Rj Target	1.5 +0.2/-0 ps RMS	TP1	PCIE_3_0_RX_CAL	PCIE_3_8GB_CEM_Rx_Sj_CAL	this value is just an initial value. for the final EH/EW procedure, need to increase the Rj from this initial value to meet the target
100MHz Sj Target	12.5 +1/-0 ps	TP1	PCIE_3_0_RX_CAL	PCIE_3_8GB_CEM_Rx_Sj_CAL	
Tx EQ Preset Cal	P0 ~ P9	TP1	N.A	N.A	1. deemp: nominal +/-0.2 dB 2. preshoot: nominal +/-0.2 dB 3. P7 is the only presets used for the calibration of the stress signal.
DMSI	15 mVpp	TP2	N.A	N.A	1. RMS amplitude over 2.0 million UI' s of data (1.6 x 10 <sup>6</sup> x 125ps = 200.0 μ s). 2. this value is just an initial value. for the final EH/EW procedure, need to increase the DMSI from this initial value to meet the target
CMSI	None	N.A	N.A	N.A	no this item in CEM CTS 3.0
Final EH	AIC: 46 mV +0/-5 mV SYS: 50 mV +0/-5 mV	TP2	PCIE_3_0_RX_CAL	AIC: PCIE_3_8GB_Rx_CEM_CARD_CAL	1. the SigTest Rx CTLE is fixed to -7dB 2. adjust the Rj and DMSI to get the final EH/EW.
Final EW	AIC: 41.25 ps +0/-2 ps SYS: 45 ps +0/-2 ps	TP2	PCIE_3_0_RX_CAL	SYS: PCIE_3_8GB_Rx_CEM_SYS_CAL	

表 4 PCIe Gen4 CEM 接收端校准的要求

Parameter	Target Values	Test Plane	SigTest		Notes
			Technology	Template	
Waveform Requirement	2M UI' s	TP1	N.A	N.A	2.0 x 10 <sup>6</sup> x 62.5ps = 125.0 μ s
Amplitude	720 mV ~ 800 mV nominal: 800 mV	TP1	N.A	N.A	calibration error: ± 4mV
Rj Target	1.0 +0.1/-0 ps RMS	TP1	PCIE_4_0_RX_CAL	PCIE_4_16GB_CEM_Rj_Sj_CAL	
100MHz Sj Target	6.25 +0.5/-0 ps	TP1	PCIE_4_0_RX_CAL	PCIE_4_16GB_CEM_Rj_Sj_CAL	
Tx EQ Preset Cal	P0 ~ P9	TP1	N.A	N.A	1. deemp: nominal +/-0.1 dB 2. preshoot: nominal +/-0.1 dB 3. P5 and P6 are the only presets used for the calibration of the stress signal.
DMSI	10 mV ~ 25 mV nominal: 14 mV	TP2	N.A	N.A	RMS amplitude over 2.0 million UI' s of data (2.0 x 10 <sup>6</sup> x 62.5 ps = 125.0 μ s).
CMSI	150 mV +/- 2 mV	TP2	N.A	N.A	CM amplitude should be turned off when calibrating for stressed eye, but turned on when testing for Rx link equalization.
Final EH	15 mV +/- 1.5 mV	TP2	PCIE_4_0_RX_CAL	PCIE_4_16G_Rx_CAL_CTLE_xdB	1. xdB in the template is from 8 dB to 10 dB in ¼ dB steps. 2. adjust the Rj, DMSI and Amp to get the final EH/EW.
Final EW	18.75ps +/- 0.5 ps	TP2	PCIE_4_0_RX_CAL	PCIE_4_16G_Rx_CAL_CTLE_xdB	

无论是 PCIe 3.0 还是 PCIe 4.0，校准过程都分为两个阶段：

- **TP1 校准：** TP1 指的是整个参考信道的近端，在该处校准幅度、随机抖动 Rj、正弦抖动 Sj、以及 Tx EQ。
- **TP2 校准：** TP2 指的是整个参考信道的远端，在该处校准 DMSI、CMSI、以及最终的眼高 / 眼宽。

无论是 PCIe 3.0，还是 PCIe 4.0，TP1 的校准过程都是一样的，而且较为简单；不区分待测对象是插卡还是系统板，整个拓扑连接如图 3 所示。

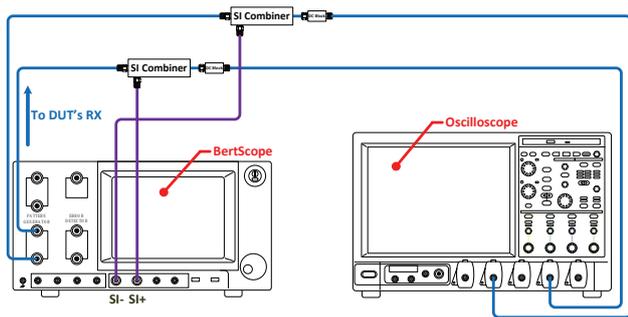


图 3. PCIe 3.0 & 4.0 的 TP1 校准拓扑连接

TP2 校准则连接较为复杂，耗时较长；并且对于插卡和系统板来说，拓扑连接是不同的。而且在 PCIe 3.0 和 PCIe 4.0 中，TP2 校准的策略有所不同。在 PCIe 3.0 中，是通过调整 DMSI 和 Rj 来达到最终的眼高 / 眼宽。而在 PCIe 4.0 中，则主要通过调整 ISI 来使得眼图接近最终的眼高 / 眼宽，这一过程为粗调；然后再通过调整 Sj、DMSI、或幅度来获得最终的眼图，这一过程为细调。

PCIe 3.0 的 TP2 校准的拓扑连接如图 4 所示。对于插卡的校准来说，在其拓扑连接中采用的是两连接头的拓扑结构，这是为了模拟真实的服务器背板的恶劣信道情况。整个参考信道是由图 4a 中的物理参考信道和 SigTest 通过软件嵌入的信道两部分组成。

- 物理参考信道中的 12.4" Riser Rx Trace + Connector 1 + 4" CBB Rx Trace + Connector 2 构成了一个参考系统板发送端信道 (Reference System Transmitter Path)，它是为了模拟一个恶劣的系统板发送端通路。
- 而物理信道中的 2" CLB Tx Trace + SigTest Embedded Channel 构成了一个参考插卡接收端信道 (Reference AIC Receiver Path)，它是为了模拟一个恶劣的插卡接收端通路。

同理，对于系统板的校准来说，整个参考信道也是由图 4b 中的物理参考信道和 SigTest 通过软件嵌入的信道两部分组成。

- 物理参考信道中的 5.3" CLB Rx Trace 构成了一个参考插卡发送端信道 (Reference AIC Transmitter Path)，它是为了模拟一个恶劣的插卡发送端通路。
- 而物理信道中的 Connector + 4" CBB Tx Trace + SigTest Embedded Channel 构成了一个参考系统板接收端信道 (Reference System Receiver Path)，它是为了模拟一个恶劣的系统板接收端通路。

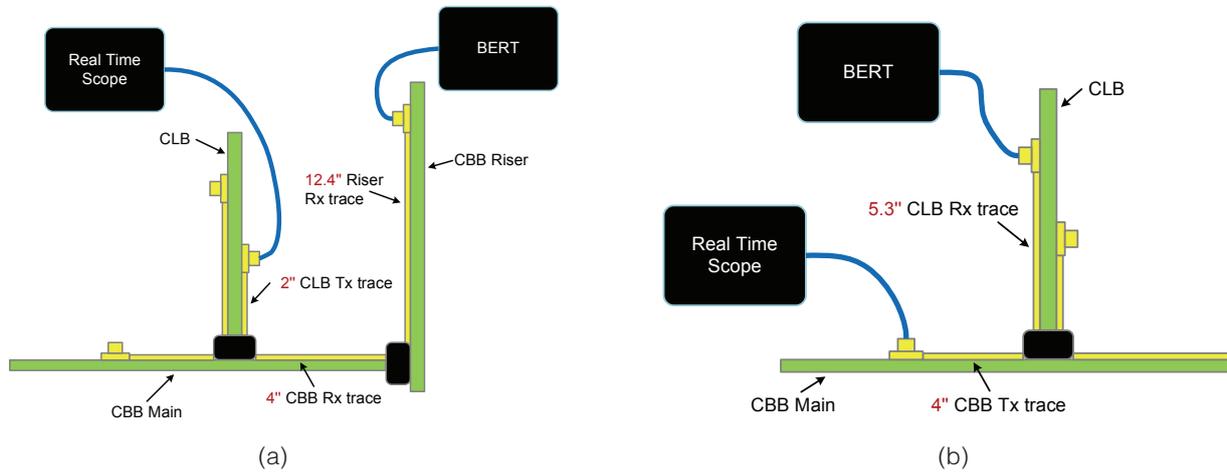


图 4. PCIe 3.0 TP2 校准拓扑连接：(a) 插卡的校准 (b) 系统板的校准

按照上面的描述，完成了拓扑连接之后，就可以进行 PCIe 3.0 的 TP2 的校准了。在最终眼高 / 眼宽的校准过程，通过调整 Rj 和 DMSI，来达到最终的眼高 / 眼宽要求。这里存在的风险是：有时候协会提供的治具一致性较差；需要很大的 Rj 或 DMSI 才能够达到最终的眼高 / 眼宽要求。而这并不符合在真实的情况下的 Rj 和 DMSI 的情况。

因此在 PCIe 4.0 中 TP2 的校准修改了相应的校准策略，引入了一个 ISI 板，优先来调节参考信道的 ISI 值，来对眼图进行调整。当眼图接近到最终的眼高 / 眼宽附近时，再通过调整 DMSI, Sj 和幅度来达到最终的眼高 / 眼宽，并且 DMSI, Sj 和幅度的调整范围做了限制，见表 2 所示，这样就能够比较真实地模拟现实中的情况。

PCIe 4.0 的 TP2 校准的拓扑连接如图 5 所示。与 PCIe 3.0 相比，除了参考信道的末端嵌入了一个封装损耗之外，其他的信道都是由真实的物理信道组成的。并且由于速率翻倍，在拓扑连接中，链路损耗的

估算时必须要把连接线缆等的损耗计入在内。值得注意的是：封装损耗是在示波器之中嵌入的，而不是在 SigTest 中。这个参考封装损耗是为了模拟真实情况下的芯片封装损耗，由于 RC 芯片 (Root Complex) 的封装一般比 EP 芯片 (Endpoint) 的封装要大，因此针对 RC 的参考封装损耗为 5dB；而针对 EP 的参考封装损耗为 3dB。

对于插卡的校准来说：

- 物理参考信道中的 SMA/SMP cable + CBB ISI pair + SMP-SMP cable + CBB Rx trace + CEM Connector 构成了一个参考系统板发送端信道 (Reference System Transmitter Path)，它是为了模拟一个恶劣的系统板发送端通路。
- CLB Tx trace + SMP-SMP cable + CLB ISI pair + SMA/SMP cable + Scope Embedded 3 dB Non-Root package 构成了一个参考插卡接收端信道 (Reference AIC Receiver Path)，它是为了模拟一个恶劣的插卡接收端通路。

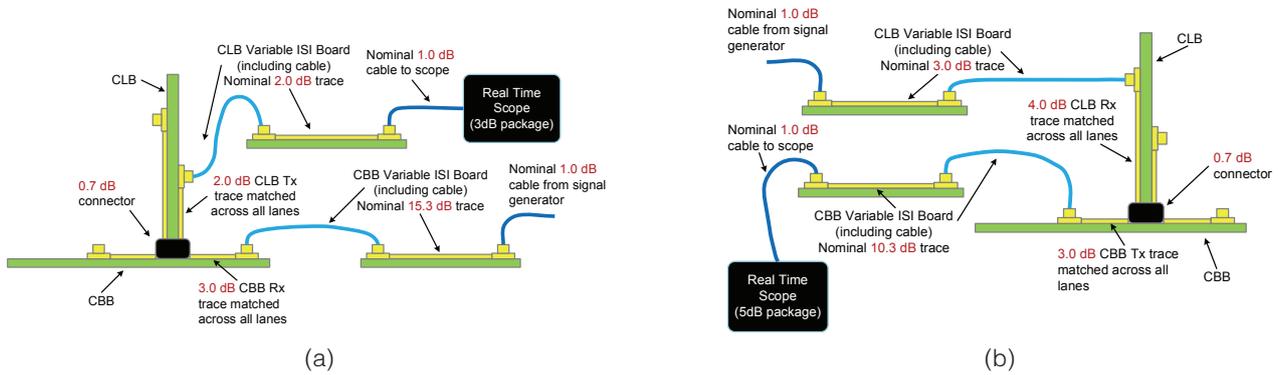


图 5. PCIe 4.0 TP2 校准拓扑连接：(a) 插卡的校准 (b) 系统板的校准

而对于系统板的校准来说：

- 物理参考信道中的 SMA/SMP cable + CLB ISI pair + SMP-SMP cable + CLB Rx trace + 构成了一个参考插卡发送端信道 (Reference AIC Transmitter Path)，它是为了模拟一个恶劣的插卡发送端通路。
- CEM connector + CBB Tx trace + SMP-SMP cable + CBB ISI pair + SMA/SMP cable + Scope Embedded 5 dB Root package 构成了一个参考系统板接收端信道 (Reference System Receiver Path)，它是为了模拟一个恶劣的系统板接收端通路。

如前所述，在 PCIe 4.0 的校准过程中，需要参考信道的 ISI 值，这就涉及到一个 ISI pair 的迭代过程。这一迭代过程使用伪代码语言描述如图 6 所示。整个迭代过程的起点是 -28 dB 的端到端的损耗，依据计算出来的眼高 / 眼宽来确定下一个 ISI pair；端到端的损耗调整范围为 -27 dB ~ 30dB。

图 6. 伪代码语言描述的 TP2 校准过程

```

Loop (ISI Pairs)
  calibrate DMSI
  calibrate CMSI
  turn on all the stress componets with the nomial value
  using P5 to calculate the EH/EW
  using P6 to calculate the EH/EW
  select the EH/EW which give the maximum eye area
  if EH < EH_target or EW < EW_target
    break
  else if total_loss < 30 dB
    select the next ISI pair
  else
    break
EndLoop

if total_loss < 30 dB
  the optimum ISI pair is the previous pair
  note the corresponding optimum preset
  note the corresponding DMSI calibration results
  note the sorresponding CMSI calibration results
else
  the optimum ISI pair is the current pair
  note the corresponding optimum preset
  note the corresponding DMSI calibration results
  note the sorresponding CMSI calibration results

Within the optimum ISI pair:
  using the optimum preset
  turn on all the stress componets with the nomial value
  adjust the Sj, Rj or Swing to get the final EH/EW
    
```

泰克公司的 PCIe Rx 自动化软件能够提供链路端到端损耗的估算，用户可以自行决定是否继续进行 ISI 迭代，如图 7 所示。

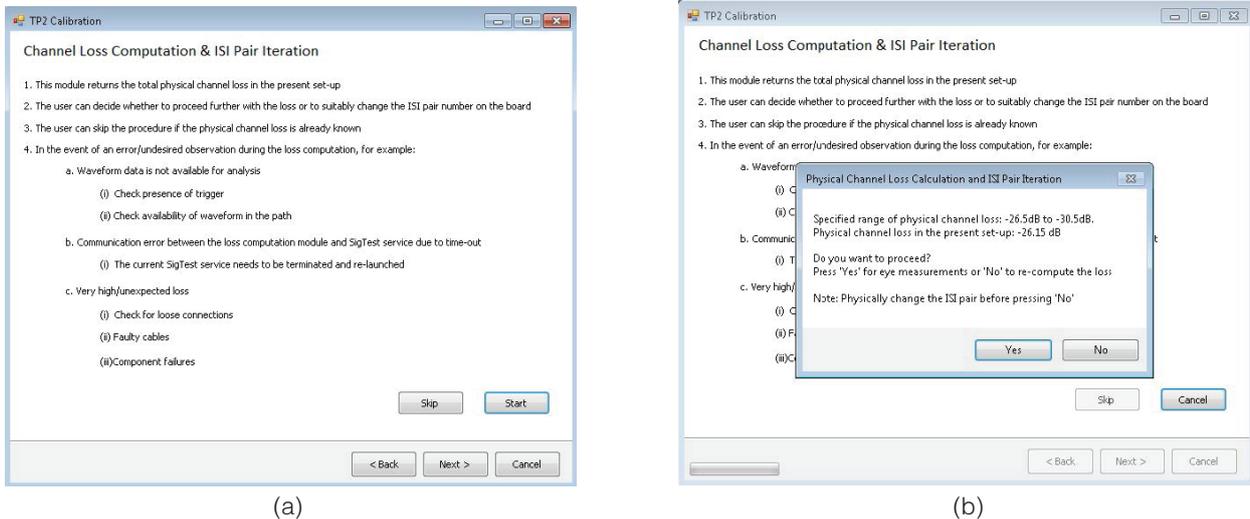


图 7. 泰克 PCIe Rx 自动化软件中的 ISI 迭代过程

## 2.2 进入环回模式

通过在“理论篇”中所描述的链路均衡过程，不难看出，LEQ 的测试对测试仪器提出了很高的要求。它要求测试仪器能够完成协议级别的动态应答和训练。在工业界中，一般称这样的仪器为“协议感知”型仪器 (Protocol-aware Instrument)。

泰克公司的 BSX 系列误码仪就是这样的一种协议感知型仪器，支持的速率最高可到 32Gbps；可以支持多种标准协议，例如 PCIe 3.0 & 4.0 & 5.0、USB 3.1 & 3.2 等。另外，用户还可以通过自带的 Pattern Sequencer 功能完成各种自主开发的标准的测试。

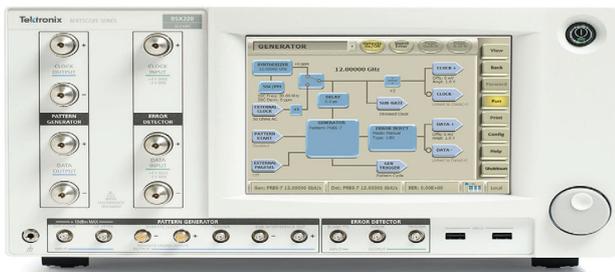


图 8. 泰克公司的协议感知型误码仪：BSX 系列

对于 PCIe 3.0 & 4.0 来说，从状态机的角度，有两种方式进入环回模式，如图 9 所示：

- 从 Configuration 状态进入环回模式 (如图 9a 所示)：此时，在 Detect、Polling、Configuration 状态下，链路工作在 2.5 GT/s；
  - 对于 PCIe 3.0，在 Loopback 中完成从 2.5 GT/s 到 8.0 GT/s 的速率切换；链路最终工作在 8.0 GT/s 的环回模式；
  - 对于 PCIe 4.0，在 Loopback 中完成从 2.5 GT/s 到 16.0 GT/s 的速率切换；链路最终工作在 16.0 GT/s 的环回模式；
- 从 Recovery 状态进入环回模式 (如图 9b 所示)：在 Detect、Polling、Configuration 状态下，链路工作在 2.5 GT/s；
  - 对于 PCIe 3.0，L0(2.5 GT/s) → Recovery (2.5 GT/s 到 8.0 GT/s 的速率切换，8.0 GT/s 的 LEQ) → Loopback (8.0 GT/s)；
  - 而对于 PCIe 4.0，协议规定不能直接从 2.5 GT/s 速率切换到 16 GT/s，必须以 8.0 GT/s 为跳板，即 L0(2.5 GT/s) → Recovery (2.5 GT/s 到 8.0 GT/s 的速率切换，8.0 GT/s 的 LEQ) → L0(8.0 GT/s) → Recovery(8.0 GT/s 到 16 GT/s 的速率切换，16 GT/s 的 LEQ) → Loopback (16 GT/s)

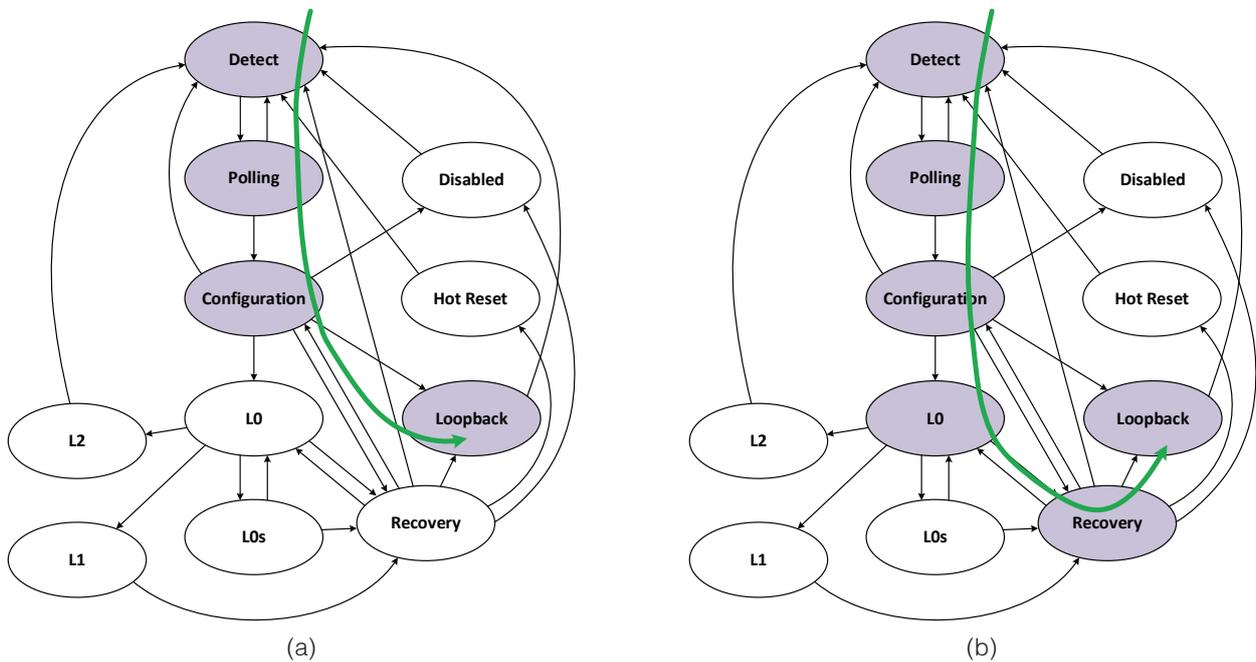


图 9. PCIe 3.0&4.0 进入环回模式：(a) 从 Configuration 进入 (b) 从 Recovery 进入

在 3.0 中，对于 Rx 测试来说，需要进行 Rx JTOL 测试（2.8、2.9）和 Rx LEQ 测试（2.10、2.11）。规范中规定：在测试 Rx JTOL 时，需要以图 9a 中的方式进入环回模式；而在测试 Rx LEQ 中，由于需要进行 LEQ 过程，所以只能以图 9b 中的方式进入环回模式。

在 4.0 中，对于 Rx 测试来说，取消了单独的 Rx JTOL 测试，只剩下了 Rx LEQ 测试。因此，在 4.0 一致性测试中，只允许通过 Recovery 进入环回模式。而由于通过 Configuration 模式进入环回模式比通过 Recovery 模式进入环回模式要简单，因此用户用户仍然可以在调试的过程中，通过 Configuration 进入环回模式。泰克的 PCIe Rx 自动化测试软件（BSXPCI4CEM），同时支持这两种进入环回的模式，如图 10 所示，当勾选“Use Link Equalization”就是通过 Recovery 进入环回模式；不勾选，则是通过 Configuration 进入环回模式。

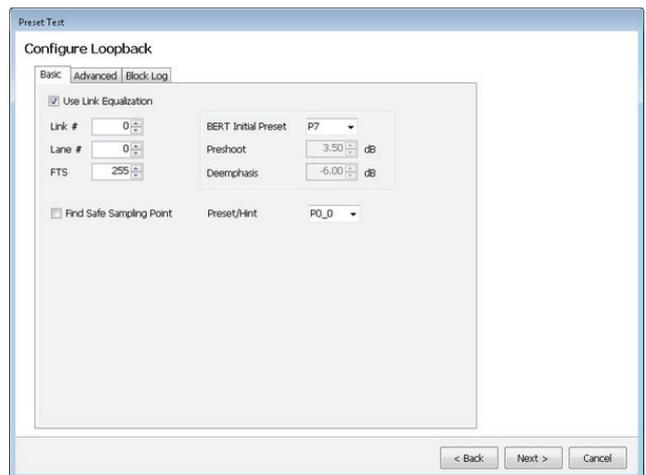


图 10. 自动化软件中环回的设置

### 2.3 进行误码率测试

若成功了进入了 Loopback，那么后续的误码率测试就很简单。误码仪发送 Modified Compliance Pattern，检查 1e12 个比特数据；若不超过 1 个误码；那么就算通过；否则就未通过。

### 4 诊断和调试

在实际的 Rx LEQ 的测试中，经常由于种种原因，无法进入到环回模式；或者就算进入到了环回模式，也存在较多的误码。这个时候，我们就需要超出一致性测试；而进行一系列的调试工作，来找出根因（Root Cause）。

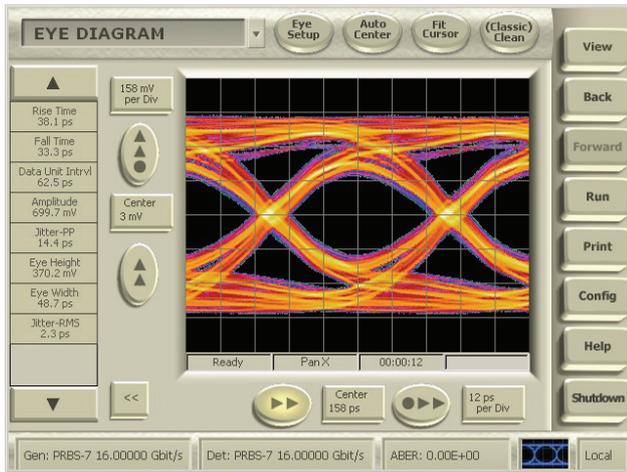


图 11. 使用误码仪的眼图功能观测待测对象的环回数据输出的信号质量

泰克公司 PCIe Rx 自动化测试软件，除了提供协会所要求的一致性测试之外，还提供了丰富的调试功能。再配合上 BSX 系列的误码仪的通用调试功能，能够为用户提供全方位的灵活性。

在进行 Rx LEQ 环回测试是，有两条数据通路：接收数据通路、以及环回数据通路。由于 Rx LEQ 是针对接收数据通路的测试，因此用户必须保证不会由于环回数据通路的原因而导致误码仪的 DET 进行了误判。泰克的 BSX 系列的误码仪具有丰富的眼图测试功能，如图 11 所示。这样用户再不进行任何拓扑连接改变的情况下，就能够进行误码的调试。

用户可以使用泰克公司提供的“Empty A – Modified Compliance B.ram”文件，就能够使得被测对象稳定地进入 Compliance 模式，然后通过这个 ram 文件进行码型切换，将被测对象的输出端切换到 8Gbps 或 16Gbps，观察哪个预设定值能够给出最好的眼图。然后在图 10 中设置“Preset/Hint”成刚才的预设置，就能够保证环回数据通路不会引入误判的误码。

倘若排除了环回数据通路所引入的误判的误码；Rx LEQ 仍然存在误码。这个时候，用户需要进一步分析误码的来源，比如说是否是 DUT 的均衡算法没有达到最优，从而没有像链路对端请求最优的 Tx EQ 值。此时，用户可以使用泰克公司提供的“BER Test”来对整个系数空间进行扫描，若测得的结果表明：在系数空间中存在一些系数组合能够达到没有误码，那么说明 DUT 的均衡算法未达到最优。



图 12. 对 Tx EQ 的系数空间进行扫描的误码率测试

在此基础上，用户还可以进行裕度测试。泰克的自动化软件提供对 S<sub>j</sub> 和 DMSI 的裕度测试，如图 13，图 14 所示。

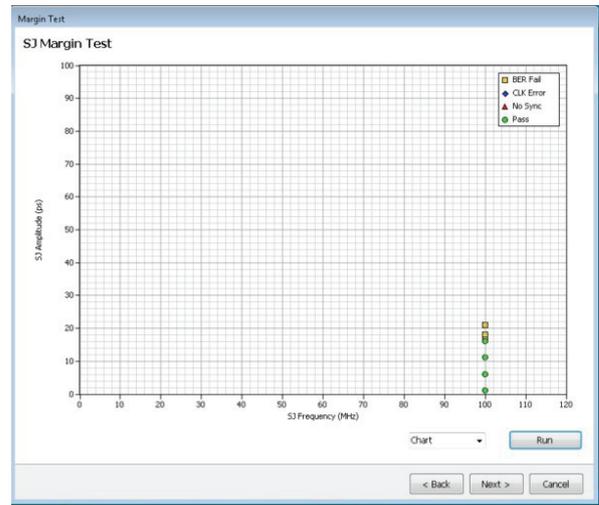
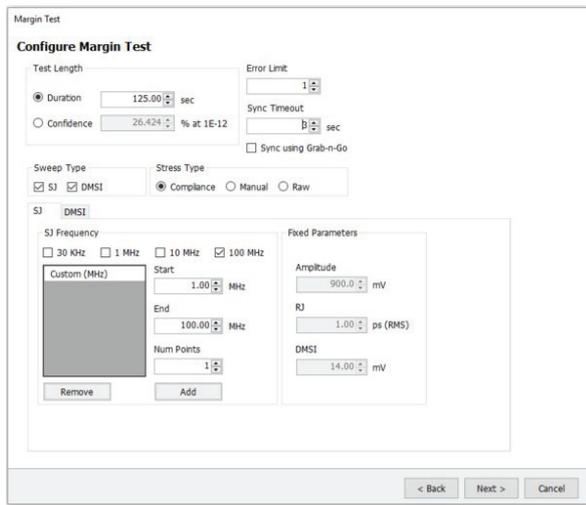


图 13. 正弦抖动的裕度测试：(a) 设定界面 (b) 扫描测试界面

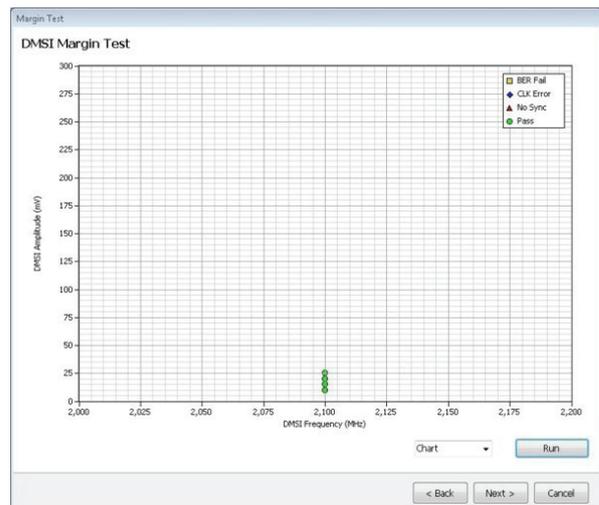
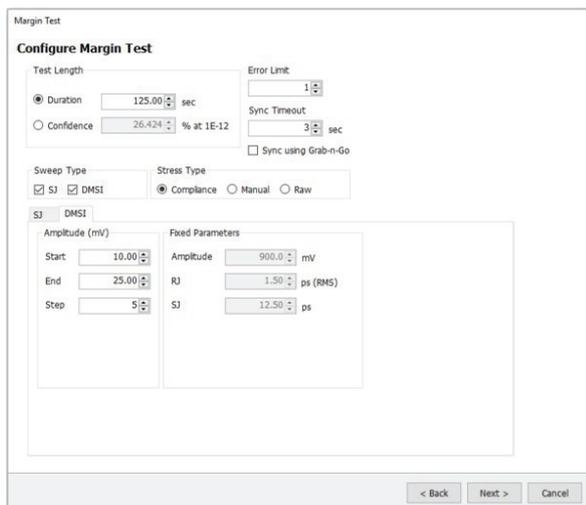


图 14. 差模噪声的裕度测试：(a) 设定界面 (b) 扫描测试界面

## 4 结论

泰克公司提供了业界最优的关于 PCIe 3.0 & 4.0 的一致性解决方案，通过使用泰克公司的高性能的示波器、高性能的误码仪、以及灵活的自动化软件，能够大大缩短用户的开发时间，使得用户的产品在市场上更具竞争力。

**泰克科技(中国)有限公司**

上海市浦东新区川桥路1227号  
邮编: 201206  
电话: (86 21) 5031 2000  
传真: (86 21) 5899 3156

**泰克北京办事处**

北京市朝阳区酒仙桥路6号院  
电子城·国际电子总部二期  
七号楼2层203单元  
邮编: 100015  
电话: (86 10) 5795 0700  
传真: (86 10) 6235 1236

**泰克上海办事处**

上海市长宁区福泉北路518号  
9座5楼  
邮编: 200335  
电话: (86 21) 3397 0800  
传真: (86 21) 6289 7267

**泰克深圳办事处**

深圳市深南东路5002号  
信兴广场地王商业大厦3001-3002室  
邮编: 518008  
电话: (86 755) 8246 0909  
传真: (86 755) 8246 1539

**泰克成都办事处**

成都市锦江区三色路38号  
博瑞创意成都B座1604  
邮编: 610063  
电话: (86 28) 6530 4900  
传真: (86 28) 8527 0053

**泰克西安办事处**

西安市二环南路西段88号  
老三届世纪星大厦26层L座  
邮编: 710065  
电话: (86 29) 8723 1794  
传真: (86 29) 8721 8549

**泰克武汉办事处**

武汉市洪山区珞喻路726号  
华美达大酒店702室  
邮编: 430074  
电话: (86 27) 8781 2760

**泰克香港办事处**

香港九龙尖沙咀弥敦道132号  
美丽华大厦808-809室  
电话: (852) 2585 6688  
传真: (852) 2598 6260

如需更多资源, 敬请访问 [WWW.TEK.COM.CN](http://WWW.TEK.COM.CN)。

© 泰克科技公司版权所有, 侵权必究。泰克产品受到已经签发及正在申请的美国专利和国外专利保护。本文中的信息代替所有以前出版的材料中的信息。技术数据和价格如有变更, 恕不另行通告。TEKTRONIX 和泰克徽标是泰克公司的注册商标。本文提到的所有其他商号均为各自公司的服务标志、商标或注册商标。

2020年2月

