

# 信号完整性基础

入门手册

## 目录

信号完整性描述	3
数字技术和信息时代	3
逐渐增长的带宽为数字系统设计带来的挑战	3 – 4
信号完整性概念回顾	4 – 8
数字信号时序产生的问题	5
隔离模拟故障	6
眼图: 快速鉴定信号完整性问题的捷径	8
信号完整性测量需求	9 – 25
使用逻辑分析仪发现逻辑信号故障	9
逻辑分析仪探头方案	10
使用示波器揭秘模拟信号故障	12
示波器探测解决方案	16
使用实时频谱分析仪进行频域分析	17
利用集成测量工具识别信号完整性问题	19
简化复杂的抖动测量	20
使用时域反射仪进行关键的阻抗测量	22
信号发生器构建完整的测试系统	24
小结	26

### 信号完整性描述

根据定义，“完整性”是指“完整和无损害的”。同样，一个具有良好的完整性的数字信号有干净、快速的上升沿；稳定和有效的逻辑电平；准确的时间位置和没有任何的瞬态跳变。

**对于系统开发者而言，不断发展的技术，使得系统开发、生产和维护完整、无损害信号的数字系统越来越困难。**

本文的目的是提供引一些有关在数字系统信号完整性相关的见解，并说明其原因，特点，影响和解决方案。

### 数字技术和信息时代

二十多年前出现的个人电脑和蜂窝电话技术，已经从技术创新逐渐演变为生活必需品。对于他们，总的发展趋势保持不变：要求更多的功能和服务，需要更多的带宽。第一代个人电脑，用户会为建立一个简单的电子表格而感到振奋。但到了现在，他们的需求详细的图形、高品质的音频，以及快速的流视频。此外，手机也不再仅仅是满足人们的交谈需求。

我们周围的世界现在越来越多的依赖于信息快速、可靠的传递。术语“信息时代”是用来形容这个新的相互交织、相互依存，以数据为基础的时代。

半导体技术上持续的突破，已经在PC总线架构，网络基础设施，数字无线通信得到广泛的应用。在个人电脑，特别是在服务器处理器的速度已经升级到GHz的范围内，同时内存的吞吐量和内部总线速度也随之上升。

高速的数据传输技术支持更为强大的计算机应用，如3D游戏和电脑辅助设计程序。先进的三维图像需要大量的数据在CPU、内存、显卡中进行传输。

计算机技术只是带宽信息时代的一个方面的。数字通信设备设计工程师(尤其是那些大力发展固网和移动网的基础设施)正逐步采用40G的光、电数据传输技术。与此同时，在数字高清视频技术领域，正在设计下一代传输高清晰、互动视频的设备。

众多技术正在推动数据传输率进步。新兴的串行总线正在打破并行总线构架的瓶颈。在一些情况下，故意增加系统时钟抖动以减少意外辐射。更小、更密集的电路板，采用球栅阵列封装和埋孔设计，这些都已成为IC芯片供应商寻求最大限度地提高密度并尽量减少路径长度新的方式。

### 逐渐增长的带宽为数字系统设计带来的挑战

今天的数字带宽的“竞赛”需要有创新思维。现在的总线周期比20年前要快一千多倍。曾经在毫秒时间内发生的数据交互，现在要以纳秒来衡量。为了实现这一改进，信号边沿的速度比以往任何时候要快100倍以上。

然而，电路板的技术由于某些物理现实的限制，未能跟上信号带宽的发展。芯片见得传输时间大致没有发生变化。虽然几何尺寸缩小，电路板仍需要足够的空间容纳IC器件，连接器，无源元件，当然，还有总线本身。空间意味着距离，距离意味着延迟—这就是高速信号的最重要的挑战之一。

重要的是要记住，边沿的速度或上升时间，数字信号可以携带比自身重复频率更高频的能量。实际上，这些较高的高频能量成分，用来构造理想的快速转换的数字信号。今天的高速串行总线，在时钟速率的第5次谐波上往往有大量的能量集中。

因此，6英寸长的电路板走线，在传输上升时间小于4或6纳秒的信号时，会变成一段传输线。电路板的走线不再是简单的导体。在较低的频率，走线主要呈现出电阻特性。随着频率增加，走线开始更像一个电容。在最高频率，走线的电感发挥更大的作用。

信号完整性问题会在高频时凸显出来。传输线阻抗的影响是至关重要的。沿着走线的阻抗不连续会增加信号的反射，减慢信号的边缘，增加串扰。当电路板的地平面和电源层呈现感性时，原有的电源去耦功效将大打折扣。

越来越快的边沿所产生的信号的波长越来越短，当波长和走线长度可比时，会造成意想不到的辐射电磁干扰(EMI)。这些辐射能量的可能会导致串扰和数字设备EMC(电磁兼容)测试的失败。

更快的速度一般也意味着更大的电流消耗，因此极易引起地弹效应，尤其是在多个信号同时跳变时。此外，较高的电流会产生更多的电磁辐射能量，必然引起串扰的发生。

随着数据传输率提高到千兆范围以后，数字设计师面对所有的挫折都来自于高频设计。一个理想的数字脉冲的时间和振幅应该是一致的，没有偏差和抖动，并快速干净的跳变。随着系统速度增加，越来越难以维持理想的信号特征，因此我们需要认真考虑的信号完整性问题。

## 信号完整性概念回顾

频率在千兆赫范围内，大量方面会影响信号的完整性：信号路径的设计，阻抗和负载，走线阻抗的影响，甚至电源的分配。

**设计工程师的任务是从一开始最大限度地减少这些问题，一旦出现及时纠正他们。**

为了做到这一点，必须进行信号损伤来源的调查：数字问题和模拟问题。

## 数字信号时序产生的问题

从事新技术应用的工程师在设计数字系统时，可能会遇到在数字形式上表现出的信号完整性问题。二进制信号在总线上或设备的输出产生不正确的值。这些错误可能会出现信号的波形上(例如用逻辑分析仪进行定时测量)，他们也可能出现在状态或协议层。只需要一个错误的比特位就可以整个系统崩溃。

数字信号畸变源于许多根源。时间有关的问题特别是共同的：

### ■ 总线冲突

当两个驱动器设备尝试同一时间使用相同的总线时会发生总线冲突。通常，一个驱动器应该保持高阻状态，不妨碍其他驱动器同时发送数据。如果高阻不及时改变，两驱动器则相互冲突。无论是那个驱动器，都会迫使总线的振幅达不到阈值电压。这将导致一个的逻辑水平应该是“1”却变成“0”。对于高速总线，源端和接收端的总线冲突会由于飞行时间会变得更加复杂。

### 每一个设计的细节都很重要

频率在百兆量级以上的时钟信号,下列设计细节对减少信号完整性问题非常的重要:

- 时钟分布
- 走线布局
- 残桩问题
- 噪声容限
- 阻抗匹配和负载
- 传输线效应
- 信号回流电流
- 端接
- 去耦
- 电源分布

- **建立/保持时间违规**—越来越快的数字系统会使得建立/保持时间违规的问题越来越明显。一个时钟锁存的器件,如一个D触发器,要求数据在时钟边沿到来前保持稳定电平。这就是所谓的“建立”时间。同样,输入数据必须在时钟边沿到来后继续有效。这就是所谓的“保持”时间。违反建立或保持时间的要求,可能会导致不可预测故障的输出,或可能会导致输出数据根本没有翻转。建立和保持时间的要求会随着器件速度增加而减少,使时序关系更加难以处理。

- **亚稳态**—亚稳态是一个不确定或不稳定数据状态,例如违反建立/保持时间信号输入,输出信号可能是延迟出现或出现一个完全错误的电平,如欠幅脉冲,一个毛刺,或者错误的逻辑电平。
- **无效输入**—无效输入是指对于多输入端逻辑器件的信号输入,出现没有预定义的逻辑组合。原因可能是由于输入信号之间各种各样的问题或者延迟造成的。
- **码间干扰(ISI)**—码间干扰是指一个符号干扰一些列紧随其后的符号,造成信号的失真。这是由于走线的高频率损耗和反射所导致的噪声和抖动引起的。

逻辑分析仪是强大的测量工具,可以帮助用户获取和分析数字信号。今天先进逻辑分析仪可以同时捕获上千个测试点的信号,然后显示信号的数字脉冲和信号间的时间关系。

像这种常规类型的逻辑分析仪,在波形上无法区分幅度的错误或者毛刺,尽管它们含有不正确的数据,但都有可能被看作有效的逻辑电平。可以使用数据列表显示来发现异常的数据。例如用十六进制数表示所采集信号的内容,但数据列表显示也不能解释错误的根本原因。如果没有进一步的手段探测到的信号的行为,单纯靠逻辑分析仪是很难找到的逻辑错误的原因的。

### 隔离模拟故障

如果你可以深入探测信号的模拟行为,看到数字信号的模拟缺陷,那么许多数字信号的问题会变得容易得多。虽然某个问题可能只是出现了一个错误的数字脉冲,但往往问题会归结于信号模拟特征。数字信号的模拟特征异常可导致逻辑故障,例如信号幅度过低,或缓慢的上升时间,会变成不正确的逻辑状态。同时观测一个数字信号脉冲和其模拟特征,往往是追踪、解决问题的第一步。

由于示波器可以信号的拟特征,常用来寻找信号完整性问题的根本原因。示波器可以显示波形的细节,边沿和噪声,并且也可以用来检测并显示瞬变的故障。示波器具有强大的触发和分析功能,可以帮助工程师追踪模拟特征的异常、解决电路的故障。

### 产生模拟故障的原因:

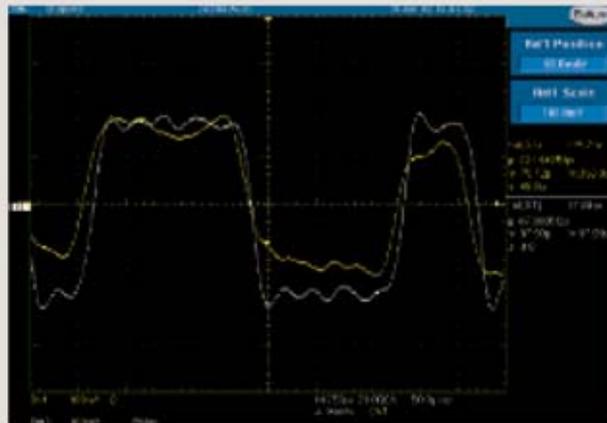


图 1: 幅度问题

幅度问题—幅度问题包括振铃、跌落、欠幅脉冲等。

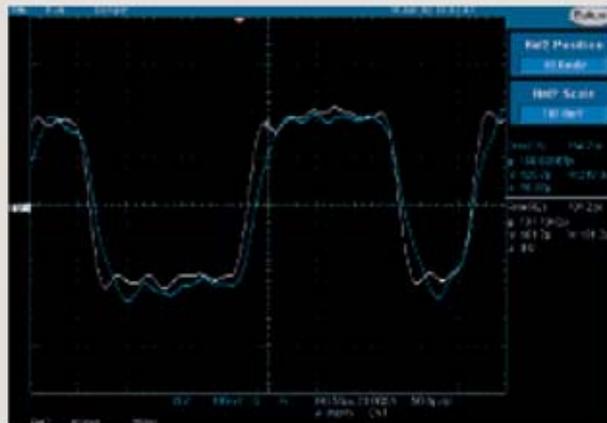


图 2: 上升沿畸变

上升沿畸变—由于电路板布板布局问题,或者不正确的端接,甚至由于半导体器件的问题所引起的。边沿畸变主要包括预过冲、正过冲、振铃、振荡或上升沿减慢。

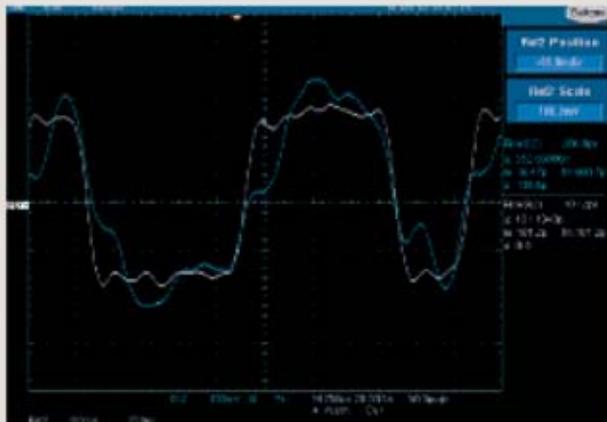


图 3：反射

反射—主要由于端接和电路板布局问题,信号在走线阻抗失配的地方会被反弹回源端并造成幅度上的变化。

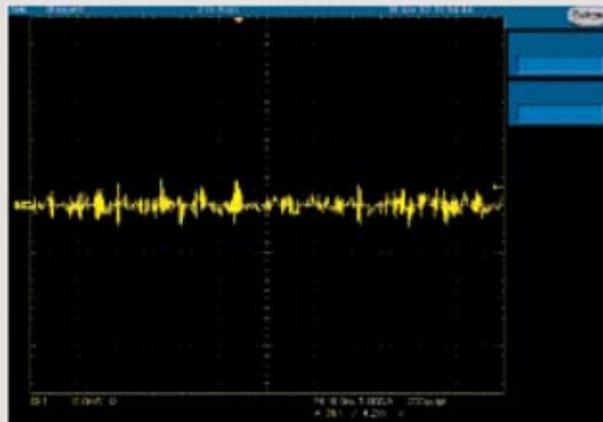


图 5：地弹

地弹—由于芯片吸收过量的电流,或者电源层和参考层阻抗过大,引起参考面的电压波动。

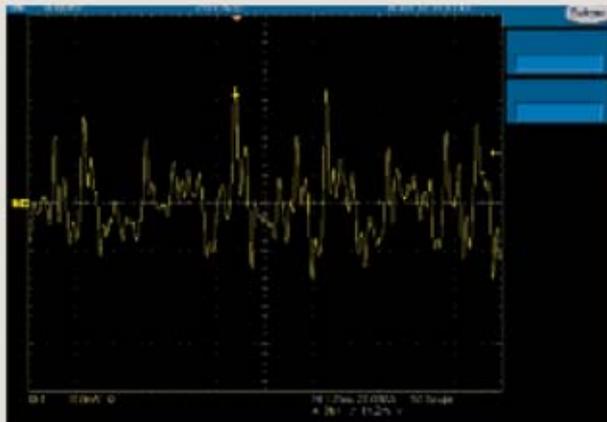


图 4：串扰

串扰—在相邻的走线间,由于互感或者互容的存在,将一条信号线上的能量耦合到其他走线所造成的干扰。越快的上升沿含有越高的电流,产生越强烈的辐射,随即产生串扰。

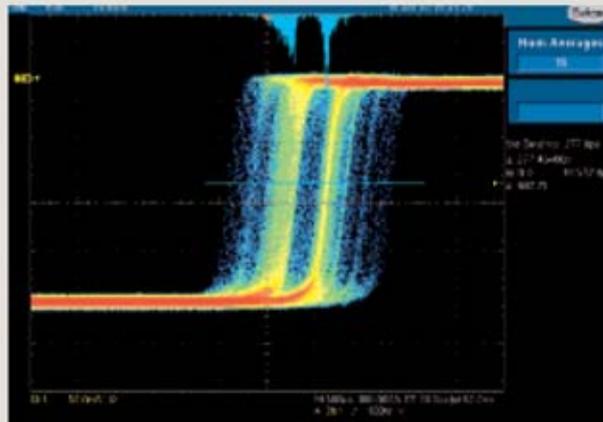


图 6：抖动

抖动—定义为信号边沿与理想边沿的时间差。产生抖动的主要原因有:噪声、串扰和时间不稳定性。抖动会影响数字系统的定时精度以及同步性。

## 眼图：快速鉴定信号完整性问题的捷径

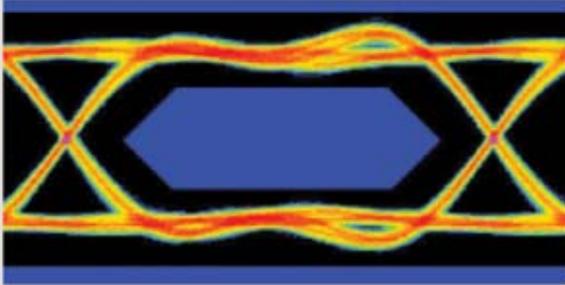


图 7：眼图举例

眼图是用以观察时钟驱动总线上信号完整性的一种方法。现在的许多总线都需要进行一致性测试，特别是串行总线类型，但任何一条信号线都可以进行眼图观测。

如图(见图 7)所示，眼图是由多个连续的 UI 重叠起来所构成的。眼图显示了串行信号和用软件或者硬件方法恢复出的时钟的相对关系。眼图可以

在单一窗口中显示出所有的边沿，看上去的结果类似于眼睛。

理想的情况是，每一个新的曲线和之前的曲线完全重合起来。但在现实中，信号完整因素会慢慢积累，造成曲线变得“模糊”。抖动会造成横向“模糊”，噪声导致垂直方向上曲线的“模糊”。

因为眼图可以在一个视图中显示信号所有可能的逻辑变化，所以它可以提供对信号的快速评估。眼图可以揭示很多模拟问题，比如缓慢上升时间，符号间干扰和衰减损耗。一些工程师习惯于首先检查眼图，然后追踪、定位异常信号。

许多高级的数字示波器提供复杂的时钟恢复、触发和搜索功能，以及丰富的测量功能。眼图测量已经作为标准测试项目，纳入这些新的测量软件和硬件工具中。

## 信号完整性测量需求

直接观察和测量信号是唯一发现信号完整性有关问题根源的方法。使用正确测量工具将简化测试任务。在电子工程实验室能够发现组成信号完整性测量系统的主要仪器：逻辑分析仪，和示波器，甚至还有频谱分析仪。再加之与仪器配套使用的探头和应用软件—例如抖动分析软件等。信号源可提供失真信号用于压力测试和评价新的设备和系统。它们还可以生成缺少系统的投入，也可以复制传感器信号测试过程中的设备。时域反射计(TDR)测试和解决信号路径阻抗问题，如阻抗不匹配等。

### 使用逻辑分析仪发现逻辑信号故障

如前所述，逻辑分析仪是数字故障排除首选工具，尤其是对于复杂的系统的总线。逻辑分析仪能够进行多通道信号采集，然后连贯的显示逻辑信息，以查明问题。

逻辑分析仪检测信号通过参考电平的状态，图8显示了一个典型的逻辑分析仪定时数据采集。在逻辑分析仪中显示的数字波形是明确的和稳定的，可以很容易地进行数据比较，以确定该装置是否工作正确。这些波形通常作为寻求信号完整性问题的起点。

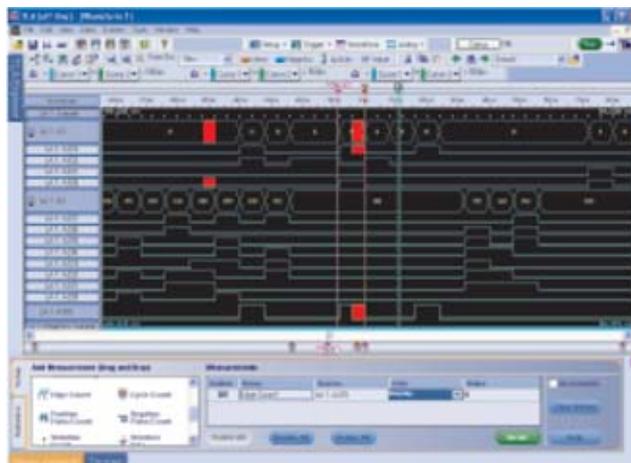


图 8：使用逻辑分析仪进行时序分析

逻辑分析仪提供了两种不同的数据采集方式：“状态分析”和“定时分析”。状态(或同步)所捕获的是被测系统的状态信号，根据被测系统时钟来完成信号的采样。来自DUT的信号会规定什么时候采集数据、多长时间采集一次数据。为采集输入时钟的信号可以是设备时钟，可以是总线上的控制信号，也可以是导致DUT改变状态的信号。数据在活动边沿上采样，表示逻辑信号稳定时的DUT情况。

定时(或异步)捕捉信号时序信息并创建时序图。在这种模式下，使用的是逻辑分析仪内部时钟来进行数据采集。在被测系统和逻辑分析仪采集的数据之间没有固定的时间关系。在定时模式下，常常需要逻辑分析仪高精度地、长时间连续的记录数据。

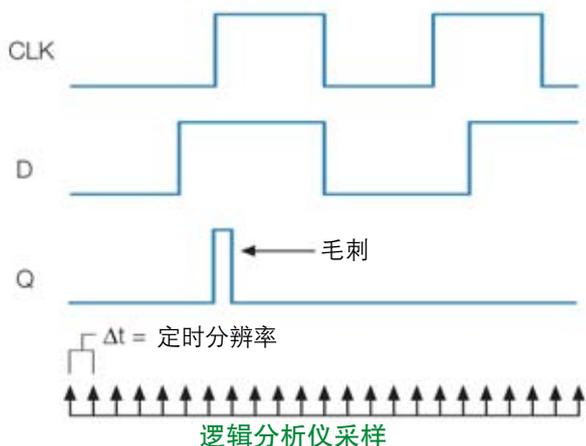


图9: 逻辑分析仪的定时分辨率决定了检测和显示信号异常的能力

### 定时分辨率

时序图有助于检测间歇性的时序故障，如毛刺，因为不稳定的脉冲幅度和宽度使得他们很难检测和捕获。逻辑分析仪的时间分辨率将决定其能够检测并显示故障的能力，如图9所示。越高的时间分辨率，越可能发现故障事件，从而才能进一步对问题进行分析。

### 内存深度

内存深度将影响逻辑分析仪对偶发故障检测的能力。内存深度和时间分辨率一样，决定了信号有多长“时间”和多少“细节”可以在一次捕获中体现出来。假设采样率保持不变，内存深度越大，那么采集时间也就越长。同样，加深内存允许更高的采样率，使信号更多的细节被捕获到，获取更多的样本以分析故障的成因。

### 触发灵活性

触发灵活性是快速、高效的检测未知问题的关键。逻辑分析仪用来触发特定的信号的条件，当满足条件时，逻辑分析仪将获取数据并显示结果。当一个逻辑分析仪触发到一个故障，说明故障确实发生了。今天大多数的逻辑分析仪都包括用以检测信号完整性问题的触发器事件，像毛刺触发、建立/保持时间违规触发等。逻辑分析仪的独特之处在于，这些触发条件一次可以同时应用于数以百计采集通道。

正因为能够同时分析数百至数千个数字信号，逻辑分析仪是一个功能强大的发现设备故障的工具。对于快速高效的调试，选择逻辑分析仪解决方案时，需要重点评估仪器的可用性功能，如触发，以及其他主要的性能，如采样率，通道数等。

### 逻辑分析仪探头方案

在高速数字信号采集中，逻辑分析仪的探测方法扮演着重要的角色。关键是要提供最高保真度的探头探测信号方案。大多数逻辑分析仪探头都能实现这一基本要求，但有些方案提出的探测的概念甚至更进一步。

一些逻辑分析仪在做状态分析和逻辑分析时，需要不同的探头连接方式。这就是所谓的“双探测”，这种技术，影响了信号本身，也影响了实际测量结果。例如，在同一个探测点连接两个探头对造成令人无法接受的负载。分别将两个探头连接在裸露的测试点，增加了损害探头以及误连接的风险。而且，至少需要花两倍的时间去连接两个探头。

一些逻辑分析仪能够同时进行状态和定时分析，这种方式加速了信号完整新分析和故障定位的速度，同时将探头对被测系统的负载减至最小。

最近逻辑分析仪探测技术又提高到一个新水平。最新一代的探头可以同时探测的数字信号和模拟信号。探头的任何引脚可用于数字和模拟信号采集。模拟信号可通过逻辑分析仪的外接示波器进行采集分析,如果一个数字信号故障被触发的话,与此同时,在示波器上会看到该故障的模拟特征。

在高性能数字系统中,测量信号最实际的方法是预留专门的测试点。一些专用的测试点都配有引脚,如排插等,以简化其与夹式探头和飞线的链接。即使这些测试点没有连接到逻辑分析仪,它们也会影响到被测系统自身的信号质量。

逻辑分析仪的探头也可以安装到被测系统的专用连接器上。匹配阻抗的连接器,如 MICTOR,是一种紧凑的、高密度连接器,可以直接连接到逻辑分析仪的探头上。板装连接器增加了系统额外的成本,也会对高速信号造成一定的损伤,但它确实提供了快速、准确的探测形式。

高密度(HD)的压缩逻辑分析仪探头和D-Max™探测技术已经出现,以提供一个替代常规 MICTOR 探头连接器的方案。这些探头不需要在被测系统上安装连接器,而仅仅需要电路板上的焊盘即可。

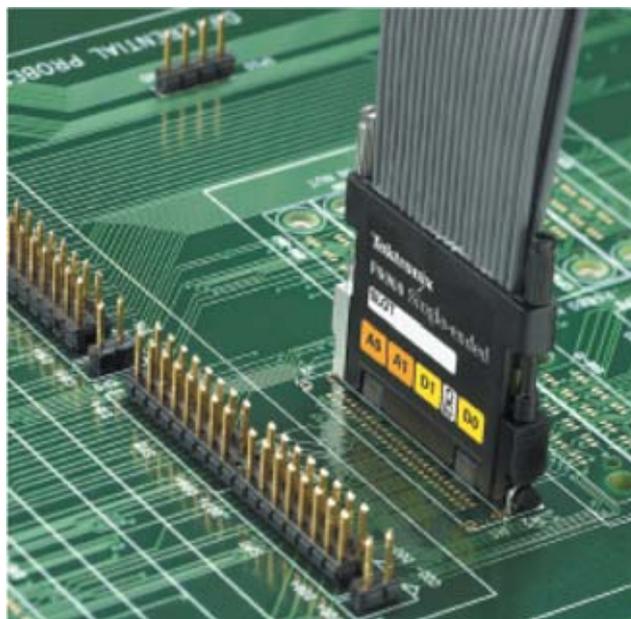


图 10. D-Max connectorless 逻辑分析仪探头

图 10 显示一个安装在电路板上的 D-Max™ connectorless 探头。Connectorless 探针引入非常低的电容负载(仅 0.5pF)。它还提供了完整单端和差分测量方案,而且并不需要损失通道数。

D-Max™ connectorless 逻辑分析仪探头比 MICTOR 有更小的负载,但焊盘仍然必须事先设计到电路板布局中。探测点的位置不同可能会造成总线上信号测试上的差异。考虑到这一点,最好的探测地方是在靠近接收端芯片的引脚处,这样可以更好的采集被芯片真正使用到的信号。由于 D-Max™ connectorless 探头的尺寸小巧,可以更加灵活的选取探测的位置。

## 使用示波器揭秘模拟信号故障

另一个解决信号完整性测量的工具是数字示波器。数字逻辑层面的问题一旦被逻辑分析仪捕获,就可以使用示波器来隔离其模拟信号。示波器可以显示波形的细节,例如边沿和噪声,还可以检测并显示瞬态信号,并精确测量时间,例如建立和保持时间等。由于数字的错误往往是和模拟信号完整性问题相关的,因此体现出示波器在定位数字故障的价值。

数字示波器有不同的种类,如数字存储示波器(DSO),数字荧光示波器(DPO)和取样示波器。对于捕获的低重复频率信号、快沿或窄脉冲信号,数字示波器是理想的设备。数字示波器还擅长捕捉单次事件和瞬变,是测量高速、多通道设计应用最好的办法。

对于数字信号故障定位、发现间歇性信号以及眼图和模板测试,数字荧光示波器(DPO)提供了更好的测量平台。DPO非凡的波形捕获率可以快速的积累波形,超过了其他任何的示波器。DPO还提供信号发生的频度信息,以丰富的颜色将波形显示出来。图11展示了DPO波形灰度显示功能。

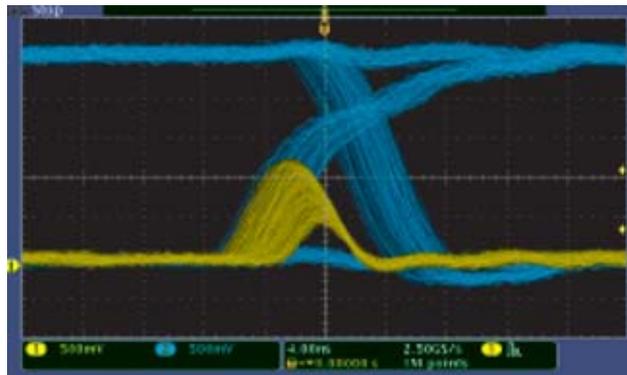


图 11. 数字荧光示波器的灰度显示功能提供了对偶发故障信号更好的观测能力。

如果实时示波器带宽还不能够满足测试需求,那么需要考虑数字取样示波器了,采样示波器有更宽的带宽,更好的测量精度。取样示波器能够准确地捕捉重复信号(周期信号),即使信号的频率远远高于示波器的采样率,因为其采用了顺序等效时间采样的方式,可以实现带宽高达 100G 赫兹。

当选择示波器时,有几个影响信号测试的关键性能指标需要考虑,包括带宽、上升时间、采样速率、波形捕获速率、记录长度以及触发的灵活性。

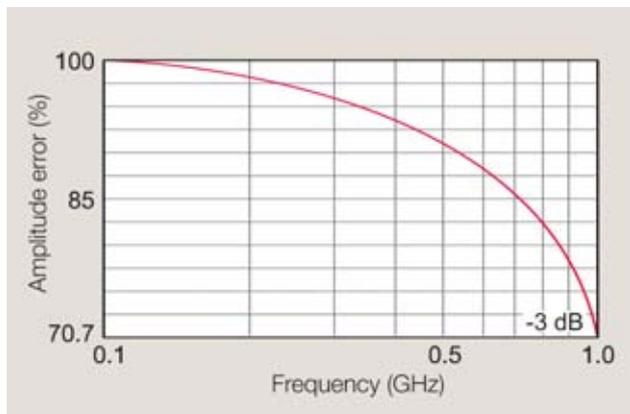


图 12：带宽为 1GHz 的示波器的频响曲线

### 带宽

当对数字系统的故障排除或快沿信号测试时，示波器带宽是至关重要的。信号的边沿含有比信号本省重复频率高得多高频能量。示波器必须有足够的带宽，以捕捉较高的高频成分，精确的显示的信号的跳变。

所有的示波器都是低通的频响模型，在高频段慢慢开始衰减。按照惯例，示波器带宽是指输入正弦波信号的幅度被衰减为 70.7% 时所对应的频率，即被称为“-3dB 点”。这意味着，如果对频率和示波器带宽相等的正弦波进行幅度测量，其幅度误差达到 -3dB，或近 30%。

图 12 显示了 1 GHz 带宽的示波器频率响应曲线，包括特征滚降和 -3dB 点。

没有足够的带宽，示波器将无法能够解决高频信号的测试。幅度将被扭曲，边沿将被减慢，所有细节都将会丢失。没有足够的带宽，所有数字示波器的功能将毫无意义。

为了确定示波器所需要的带宽，需要用“5 次谐波”原则来评估被测信号的带宽：

$$\text{Oscilloscope Bandwidth} \geq \frac{\text{Highest Frequency Component of Signal}}{5}$$

使用“5 次谐波”原则选择的示波器，最多会有不到 + / - 2 % 的测量误差。一般情况下，较高的带宽对更精确的重现信号更加有利。

对于严格的高速串行总线一致性测试，“5 次谐波”原则可以应用于各种数据传输速率的总线。如果仅限于设计调试，通常选择比信号最高频率高 3 倍的带宽的示波器，即“3 次谐波”的仪器即可。为检定和一致性测试高速总线，示波器通常需要捕获五阶谐波，要求带宽比 DUT 时钟速率高出五倍。

Serial Bus Data Rate	Clock Frequency	3rd Harmonic	5th Harmonic
3.0 Gbps (SATA II)	1.5 GHz	4.5 GHz	7.5 GHz
4.25 Gb/s (Fibre Channel)	2.125 GHz	6.375 GHz	10.625 GHz
4.8 Gb/s (FBD)	2.4 GHz	7.2 GHz	12.0 GHz
5.0 Gb/s (USB 3.0)	2.5 GHz	7.5 GHz	12.5 GHz
5.0 Gb/s (PCI-Express II)	2.5 GHz	7.5 GHz	12.5 GHz
6.0 Gb/s (SATA III)	3.0 GHz	9.0 GHz	15.0 GHz
6.25 Gb/s (2x XAUI)	3.125 GHz	9.375 GHz	15.625 GHz
8.0 Gb/s (PCI-Express III)	4.0 GHz	12.0 GHz	20.0 GHz
8.5 Gb/s (Fibre Channel)	4.25 GHz	12.75 GHz	21.25 GHz
10.0 Gb/s (XFI)	5.0 GHz	15.0 GHz	25.0 GHz

表 1: 常见串行总线数据率和 3 次谐波和 5 次谐波

图 1 显示常见的串行总线数据传输速率和示波器捕获 3 次和 5 次谐波所需的带宽。它说明了当今的高速总线需要高带宽的示波器进行测试。

### 上升时间

在数字世界中, 上升时间的测量是非常重要的。对于阶跃信号和脉冲信号而言, 上升时间比带宽更适合作为选择示波器的关键因素。由于半导体设备技术的进步导致逻辑器件更快的上升时间, 需要知道, 及时很多数字系

Logic Family	Typical Signal Rise Time
TTL	2 ns
CMOS	1.5 ns
GTL	1 ns
LVDS	400 ps
ECL	100 ps
GaAs	40 ps

表 2: 各种逻辑信号的上升时间

统的时钟频率可能很慢, 但仍然有非常快的边沿(图 2)。

计算示波器上升时间评估, 可以参考下列公式:

$$\text{Oscilloscope Rise Time} \leq \text{Fastest Rise Time of Signal} \times \frac{1}{5}$$

示波器上升时间的选择类似于带宽的选择考虑。一般情况下, 具有更快上升时间的示波器会更准确地捕捉到关键的细节。与带宽一样, 在处理当前高速串行总线极高的速度时, 这种经验法则实现起来很困难。

示波器测量得到上升时间取决于实际信号上升时间和示波器的上升时间。示波器的上升时间越快, 测量上升时间将准确。理论公式如下:

$$\text{Measured Rise Time} = \sqrt{\left(\text{Oscilloscope Rise Time}\right)^2 + \left(\text{Signal Rise Time}\right)^2}$$

如果示波器的上升时间是未知的,它可以用下列公式计算上升时间:

$$\text{Bandwidth} = \frac{k}{\text{Rise Time}}$$

K的取值范围为0.35和0.45之间,这取决于的示波器的频率响应和脉冲响应曲线的形状。

大多数带宽低于1GHz的示波器带其滚降类似于高斯响应,k取值为0.35;更高带宽的示波器通常有最平坦频响模型,滚降急剧,接近砖墙过滤器,K值可取为0.42。

### 采样率

采样率(单位是S/s,每秒钟采样点数)是指示波器以多快的频率进行数字采样。越快的采样率提供了更好的分辨率和波形细节,越不容易丢失关键信息或事件。

为了避免混淆,准确地重建一个信号,奈奎斯特定理指出,采样率至少比被测信号最高频率分量快两倍。但是该理论假设前提是无限制的记录长度和连续的信号。由于示波器是无法提供无限记录长度,而且故障不是连续的,因此只有两倍的过采样频率通常是不够的。

在现实中,准确地重建的一个信号,取决于采样率和插值算法。示波器提供了正弦内插法或线性内插。

示波器采集率 > 2.5 x 被测信号最高频率分量(sin(x)/x插法)

示波器采集率 > 10 x 被测信号最高频率分量(线性内插)

### 波形捕获率

波形捕获率,表示的是每秒钟捕获波形的次数,决定了示波器捕捉、处理和分析信号的效率。虽然采样率表明示波器采样信号波形的频率和速度,而波形捕获率是指如何迅速地使示波器捕获整个波形。

波形捕获率高的示波器波形能够更深入的洞察信号的行为。可以显著提高的示波器捕捉瞬态异常,像抖动、欠幅脉冲、毛刺等错误的概率。

### 记录长度

记录长度是指示波器单次采集时能够存储数据样点的数目。由于示波器只能存储数量有限的样点,因此波形捕获长度和示波器的采样率成反比。

$$\text{Time Interval} = \frac{\text{Record Length}}{\text{Sample Rate}}$$

今天的示波器允许用户选择记录长度以优化信号采集能力。如果要分析一个非常稳定的正弦波信号,500个采样点可能就足够了。但是,如果要分析一个复杂的数据流的时序异常,记录长度超过上万个点,甚至更多。长记录深度满足了在高采样率下长时间捕获信号的需求。

### 触发灵活性

示波器的触发功能和逻辑分析仪的触发功能一样关键。像逻辑分析仪一样,示波器的触发能够证明某一特定类型的事件发生。现代示波器提供了一系列模拟事件的触发:

- 边沿电平和转换速率
- 脉冲特征, 包括毛刺, 欠幅脉冲, 甚至脉冲宽度
- 建立和保持时间的行为
- 串行数据码型

所有这些触发类型可以帮助工程师在检测和定位的信号完整性问题。在串行信号的一致性测试中也有各种电压、时间和逻辑以及串行信号码型的触发条件的应用。

示波器是信号完整性测量解决方案的关键。一旦数字故障被隔离, 示波器可以提供详细分析, 找出可能的模拟问题。对于质量验证和高效率的调试, 重要的是要认真研究示波器的性能, 以确保它可以迎接高速信号分析的挑战。快速、高效进行调试的关键是示波器的可用性, 像灵活触发、有效地浏览长记录长度等。

### 示波器探测解决方案

示波器探头是信号完整性分析测量的关键因素。从本质上讲, 探头必须保证系统的全部带宽和阶跃响应性能。此外, 它必须是耐用和足够小, 以探测高密度的电路板。

在排除故障信号完整性问题时, 这是通常需要一个探头“固定”在出现问题的测试点上, 另一个探头按照信号路径来定位问题的根源。

对于高速信号的探测, 电容和电感是探头的两个重要特征。每个探头有电阻、电感和电容。然而电容和电感的影响会随着频率的增大而增大。二者的作用可以改变信号的测量结果。

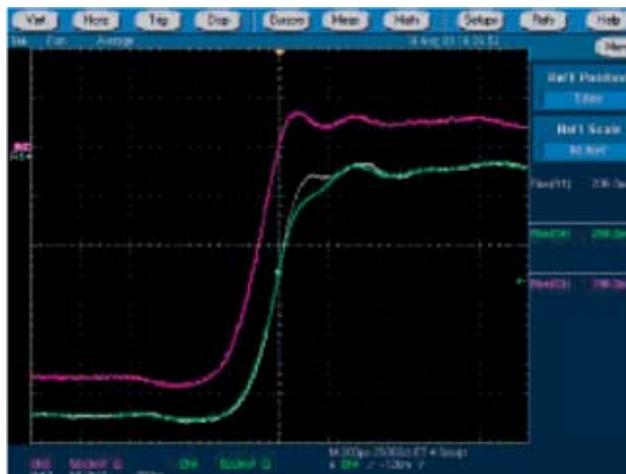


图 13: 对于高速信号测试时的探头负载效应

图 13 显示了探头负载对高速信号(250mV, 200 ps 的上升时间)的影响。此图还显示了在 4 GHz 的示波器上加载和未加载的信号。白色波形是原始信号, 绿色波形是增加探头负载的信号, 可以发现信号上升沿有点放慢。简单地说, 随着电容和电感增加, 探头负载也随之增加。同样, 地线电感可造成信号验证的失真。实际上, 探头输入阻抗和导线电感可以导致信号完整性的问题。

新一代的超低电容的示波器探头是信号完整性和高速测量问题的答案。探头前端的带宽非常宽, 很短的探针尖端有很低输入电容, 更好地保证输入到示波器的信号质量。

探头的性能是至关重要的, 因为它是测试环节中的第一个环, 即必须保持尽可能准确的捕获和显示的信号。带有短探针尖端和短地线的高带宽、低电容探头确保示波器带宽性能不会被浪费。

## 利用集成测量工具识别信号完整性问题

当前的数字系统边沿和数据速率快,数字信号底层的模拟特点对系统行为的影响正越来越大,特别是系统的可靠性和可重复性。高效地调试信号完整性问题要求同时考察模拟特点和数字特点。

如前所述,数字信号可以产生偏差问题在模拟域,例如阻抗不匹配、传输线和串扰的。同样,信号偏差可能是由产品的数字域的问题,如建立保持时间违规。模拟信号和数字信号有着不可分割的关系。

混合信号示波器(MSO)同时提供模拟和数字测量能力,可以对简单的数字电路进行测试。这样实现了用一个仪器进行两个域的同时测量。

对于更复杂的数字系统来说,需要功能强大的逻辑分析仪与示波器。

有效的故障诊断要求的在多域上,测试工具之间进行时间相关的捕获、显示模拟和数字的信号,这是高效故障定位的关键方法。如图 14 所示。

## 混合信号示波器:使用一台仪器同时查看模拟特点和数字特点

在混合信号示波器(MSO)上,可以在一个画面上以时间相关的方式查看数字信号和模拟信号。MSO的数字通道以数字格式采集和显示信号,模拟通道则以模拟形式捕获同一信号。能够同时查看这两个不同的视图,可以简便地查看模拟毛刺是怎样引起数字定时问题的。

通过使用MSO的数字通道和模拟通道,可以同时监测设计的多个点,设计工程师可以在系统级了解设计,同时进行调试。一个信号上的毛刺同时作为另一个信号上的上升沿出现是否表示串扰问题?在调试数字系统时,了解一个事件发生的相关环境至关重要。某些高性能MSO提供了先进的触发功能,其中可以使用MSO的数字通道,判定模拟触发。MSO会先查找数字码型,然后应用模拟触发,只捕获重要的信号变化。

为同时查看模拟信号和数字信号,必须把MSO的模拟通道和数字通道连接到信号上。视MSO而定,这可能要求把两只探头连接到信号上,一只模拟探头,一只逻辑探头。如前所述,为最大限度地减少探头负荷对被测信号的影响,两只探头的电容必须最小化。对高速信号,即使低电容探头也可能会给信号带来明显负荷,进而影响测量结果。

高性能MSO提供了一种独特的功能,解决了这一问题,即模拟复用功能。通过这一功能,设计工程师可以在模拟视图和数字视图中,同时查看连接到任何逻辑探头线路上的信号。这最大限度地减少了探头负荷,因为它只连接一只探头,这种功能对高速信号非常重要。

在MSO中,逻辑分析仪功能与示波器结合在一起,为调试信号完整性问题提供了强大的工具。

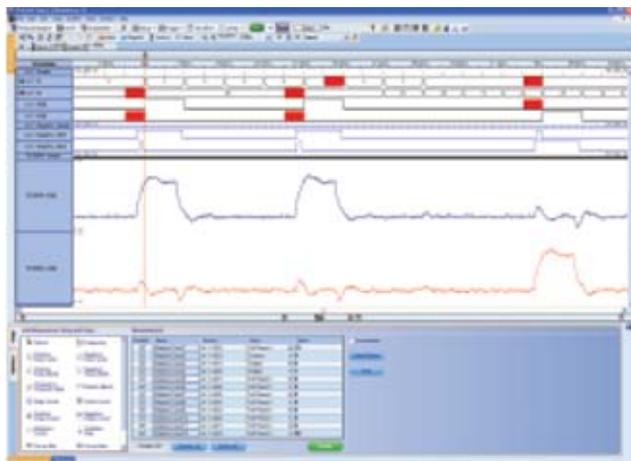


图 14: 在同一显示屏上, 数字域上发现故障, 在模拟域找到故障原因为串扰。

## 使用实时频谱分析仪进行频域分析

对于一些难以捕捉的事件, 比如像时钟相位突变、锁回路(PLL)settling这类频率变化事件, 要求测试仪器有很好的频率分辨率。由于频谱分析仪比示波器提供了更好的频率分辨率, 可以作为追踪、捕获这些事件的仪器。在很多高速总线中都能见到为了抑制 EMI 而在时钟上故意增加抖动, 即扩频时钟, 也可以使用频谱分析仪精确的测量。

由于频谱分析仪本身就是窄带仪器, 它可在整个频率范围内调谐, 因此提供了极好的动态范围, 适合测量接近噪底的低电平信号。例如包括脉冲噪声, 跳频切换时的故障, 大幅度信号上所耦合的微弱串扰等。

为了帮助探测信号完整性问题, 频谱分析仪通常用于确定信号频率和振幅参数在短期和长期的时间间隔内的表现。

通用测量任务包括:

- 观测信号所掩盖噪声
- 观测扩频时钟轮廓
- 寻找和分析的瞬态和动态信号
- 捕捉突发式传输、毛刺和开关瞬变
- 鉴定表征锁相环稳定时间, 频率漂移和低颤噪
- 频加强时钟信号
- 测试和诊断瞬态电磁干扰的影响
- 鉴定时变调制
- 分离软件和硬件的相互影响

传统的扫频式谱分析仪(SA)和矢量信号分析仪(VSA)在频域和调制域提供分析信号的能力, 但通常的没有足够的把握对动态信号进行准确、高效的测试和测试。众多类型的频谱分析仪捕获瞬态事件的能力是各不相同。

上述的每个测量任务中涉及到了随着时间变化的射频信号, 这种类型的信号常常难以预测。为了有效地刻画这些信号, 工程师们需要一个能够发现这些瞬态事件, 并有效地触发这些事件的仪器, 进而才能够在频域、时域和码域分析瞬态信号的行为。

## DPX 技术：信号发现技术的一种革命性工具

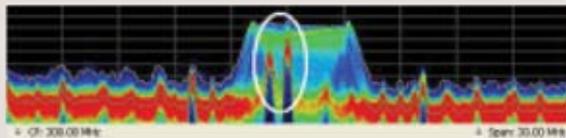


图 15：DPX 频谱显示一个扩频时钟和两个点频信号。点频信号本身用红色代表，因为其在时域出现的几率较高。扩频时钟信号用蓝色表示，说明该信号的频率是随时间在某一个频段内变化的信号。

泰克公司专利的数字荧光技术，或称为 DPX 技术，能够发现传统频谱分析仪和矢量信号分析仪无法发现的信号的细节。RTSA 的频谱显示使用了一种直观的色温方式，按照信号出现的频度为频谱着色。可以通过颜色区分那些是正常信号，那些是瞬态信号。图 15 是一个进行系统 EMI 测试时所采取的频谱。这表明了时钟在某一频点向外辐射出过多的能量。高达 48,000 频谱采集刷新速度，只有 RTSA 可以发现与扩频时钟频率相同的干扰信号。

实时频谱分析仪(RTSA)的目的是克服SA和VSA的测量局限，以更好地解决瞬态和动态射频信号测试的挑战。实时频谱分析仪能够在信号存储的同时，实时的完成DSP，而不是像SA和VSA在采集后再做DSP处理。实时处理使用户能够百分之百的发现和触发瞬态事件。一旦捕获，该数据可以通过在时域、频域和调制域进行

广泛的分析。正是由于RTSA独特的架构，才有可能在频域触发一个事件，连续捕获时间变化的射频信号，在所有域中进行时间相关的分析，加快排除故障的射频信号完整性问题。

由于RTSA必须将时域波形转换到频域信号，在选择仪器是，有几个重要的有关信号处理需求必须考虑：频率范围，捕获带宽，采样率，分析间隔期和最小事件持续时间。

### 分析带宽和频率范围

RTSA 的频率范围和分析带宽是关键参数。用 RTSA 分析信号时，信号的兴趣，需要考虑如信号的基本频率，调制类型，扩频宽度，和 PLL 调谐步进等问题。

### 采样速率

RTSA 的模拟数字转换器(ADC)的采样率必须满足奈奎斯特准则，至少是分析带宽的 2 倍。

### 分析区间

分析间隔必须足够长，以支持最窄带宽决议的兴趣时，重复傅里叶变换被用来发现，捕获和分析少见瞬态事件的频域。

### 最短事件持续时间

最短事件持续时间最低活动的定义是在指定的精度下以 100 % 概率捕捉的非重复性矩形窄脉冲的宽度。瞬态的事件可以发现，但准确性和概率可能会降低。最低活动期间将在很大程度上取决于仪的 DFT 运算的速率。例如，RTSA 以每秒钟 48000 次的 DFT 变换率，在充分的精度下，以 100 % 的概率可以检测的事件持续时间为 24 微秒。相比之下，扫频式谱分析器每秒钟 50 次扫描，事件持续的时间需要超过 20 毫秒才能 100 % 的检测到。

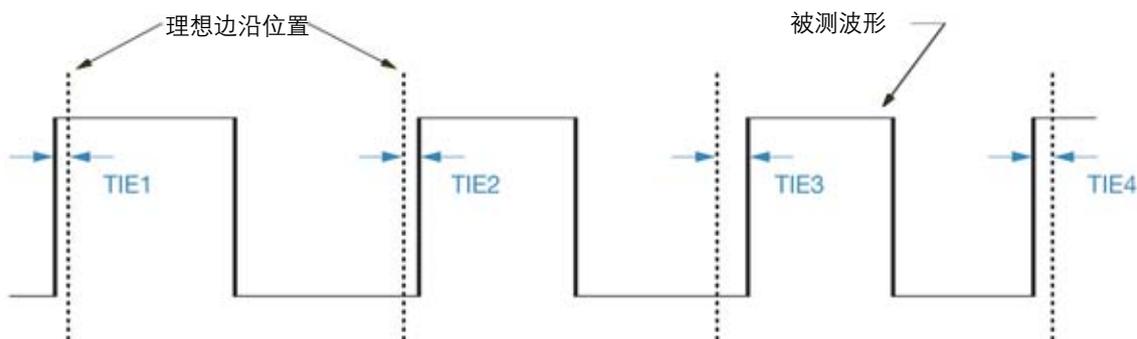


图 16: 时间间隔误差被定义为信号实际边沿和理想边沿之间的差

### 多域分析

RTSA 可以与逻辑分析仪和示波器集成在一起, 允许用户触发频域, 捕获时间相关的频率信号(RTSA)、时间信号(示波器)和数字信号(逻辑分析仪), 深入分析信号完整性问题。

RTSA是一种用于检测和分析微妙的频率事件不可或缺的工具, 另外, 其高动态范围使得接近噪声电平的信号得以准确的测量。因为在高速串行数据总线设计中, 常常需要鉴定时钟性能, 或者扩频时钟轮廓, 所以RTSA将成为信号完整测量工具集中一个重要组成部分。

### 简化复杂的抖动测量

信号完整性分析并不仅是在某处系统找到一个缓慢的边沿或低信号幅度。如前所述, 时间抖动等因素对系统的稳定性起到至关重要的作用。抖动通常起源于时钟电路, 但也可能由电源噪声、串扰和PLL电路产生。抖动会影响数据总线、地址总线, 事实上, 几乎会影响到系统中所有的信号。

在今天的高速设计, 信号速率升到 2Gbps, 同时电压摆幅缩小, 以节省电力, 因此抖动会占用比特时间间隔的很大一部分。在这种情况下, 抖动成为性能极限限制。理解抖动是什么, 以及如何定性, 是成功设计可靠的高速系统的第一步。

从理论上说, 抖动是信号偏离正确位置的差异。在时序系统中, 时间抖动是最明显和直接形式是信号变得和设计相去很远。作为一种“时间”上的噪声, 抖动必须被视为一个随机过程, 需要用统计数据来表征其特性。

抖动是分为两类: 确定性抖动和随机抖动。确定性抖动是可预见其产生的具体原因。而随机抖动符合高斯分布, 在幅度上是无界的。由于随机抖动通常符合高斯分布, 在抖动的测试中需要使用某些统计的方法。

许多抖动测量都是以时间间隔误差(TIE)为基础。TIE是恢复时钟(抖动时钟参考)和实际波形之差, 所显示的图 16所示, 对TIE的测试数据进行直方图和频谱分析, 能够得到高级的抖动分析结果, 为定位被测设备中抖动的来源起到至关重要的作用。



图 17: 抖动的频谱图

可以从频域的角度出发,对示波器单次捕获的信号进行抖动测量。为了最准确地捕捉到抖动,示波器的时间精度、信噪比、动态有效位和信号保真度是至关重要的。

当采集完成后,分析软件会分析内存中的数据,确定每个时钟边沿的抖动。在对得到的TIE数据进行FFT分析计算其频谱。其结果能够在频谱上看到信号中的各种抖动成分,如图17所示。最后系统的误码率(BER)也从抖动结果中估计出来。

在要求高动态范围的时候,实时频谱分析仪(RTSA)是抖动测量的正确选择。因为RTSA捕获的是带限信号,噪底远低于示波器。这使得RTSA对嵌入在噪声中的信号更加敏感程,能够测量小信号的抖动。

随着数传速率的提高,抖动测量的重要性慢慢的在各种高速信号的设计中体现出来。有几种抖动测量的方法,每一种方法都有自己的优势和测量工具。示波器能使用像直方图和眼图这样的技术来观察抖动。与后端处理软件包配合,示波器还能测试像Cycle-to-Cycle抖动,

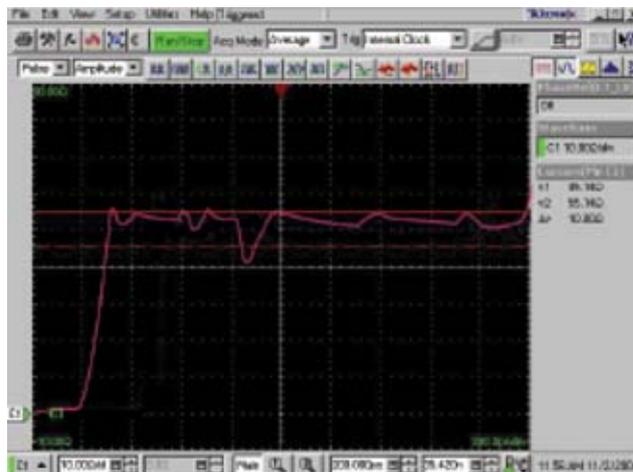


图 18: TDR 阻抗测试截图

分析抖动趋势和频谱,数据记录和捕获worst case。当要求动态范围时,实时频谱分析仪(RTSA)可能是最好的解决办法。无论何种方法,软件工具可以简化抖动测量的复杂程度。

### 使用时域反射仪进行关键的阻抗测量

测量阻抗和链路损耗的理想工具是时域反射计(TDR)。就像在时域分析信号完整性的问题一样,TDR在时域分析信号传输链路的特性。

时域反射仪测量从信号沿走线、电缆或连接器是所产生的发射电压。波形将沿着走线显示信号路径阻抗的变化。图18是TDR阻抗测量的例子。

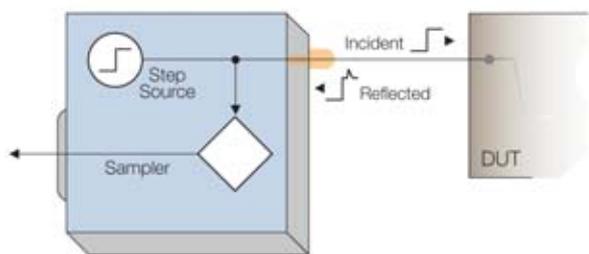


图 19: TDR 测试原理图

TDR 向被测路径发出了一个快沿脉冲，通过脉冲在实际路径中传输所产生的反射电压来计算路径中各点的特性阻抗。图 19 是一种简化的原理图。

TDR 的测量结果是反射电压，反射电压的增大或减小是由阻抗增大或减小而决定的，或者分别由不连续点的感性或者容性变化决定的。

阻抗显示读取是从左至右的。最左边的波形靠近 TDR 源端。如图 20 所示，图片上的反射是由走线上不同的器件或元素引起的，有过孔、连接器等都会将入射的快沿信号反射回源端。理想的链路应该有良好的端接，而且没有任何的信号反射。

相同的测量工具还可以用于对链路传输特性的描述，如 TDT(时域传输)，反映的是路径对信号的传输能力。

准确的测试链路 TDR/TDT 性能的仪器，需要在四个方面考察：通道数、系统上升时间、入射阶跃信号质量和差分 TDR 测试能力。

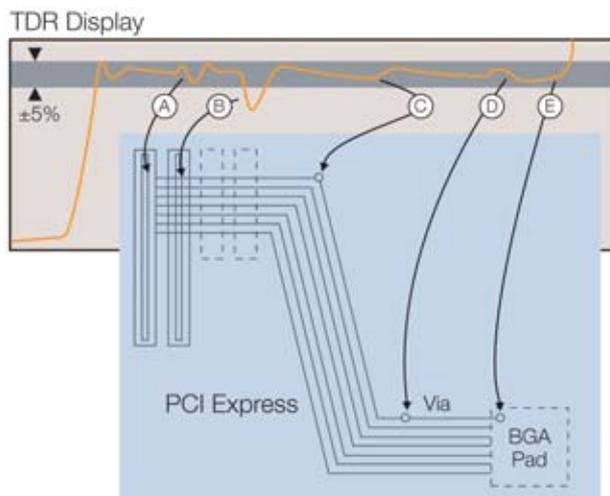


图 20: TDR 测试举例。TDR 能够发现链路阻抗的变化，例如过孔和连接器会影响 PCB 走线的阻抗。

### 通道数

一些系统的设计要求多通道 TDR 测试。例如，多通道差分总线需要测量的几个差分对的阻抗特性。而像串扰测试，需要同时连接至少两个差分通道。因此在选择测量系统是，通道数应该考虑进去。

### 上升时间

走线上两个不连续的点之间的间隔决定了在 TDR 波形上反射位置的距离。为了区分靠的很近的阻抗不连续点，要求不连续点的距离大于入射上升时间的一般。因此，越快的上升时间具有越精确的阻抗分辨能力。

### 入射阶越信号质量

TDR 仪器的入射阶越信号质量是非常关键的，特别是在测试比较短的走线。阶越脉冲必须有很快的上升时间，准确的幅度以及不能有任何的波形畸变。

### 差分 TDR 测量

今天的许多高速串行标准利用互补的信号进行差分传输。两条“线”或 PCB 轨迹会同时承载信号的镜像。虽然它的单端布线要复杂得多，但差分传输更不容易受到外来的影响，像串扰噪声。

差分路径需要差分的 TDR 测量仪器。TDR 入射脉冲必须同时向差分对发送，并测量其反射电压。真正的差分测量，使得 DUT 接受到差分信号的激励，正像在实际环境中那样，获得真实走线阻抗情况。真正的差分 TDR 测量需要能够同时发射互补的差分阶越脉冲。

TDR 提供了重要的阻抗不连续的信息，它可以揭示潜在的信号完整性问题。分析传输环境中的电路板的走线，电缆或连接器可能追查问题根源的必要手段。

### 信号发生器构建完整的测试系统

示波器、逻辑分析仪或其他仪器用于对被测系统某种信号的采集和测量。在很多场合下，这些测试信号并不能直接得到，除非在外部提供。

检查走线的特性阻抗或者连接器的阻抗都是很好的例子，这些测试中，一起必须提供外部信号，然后才能采集到所需的波形。在另外一些场合中，需要外部对被测系统进行激励，或模拟系统的输入。

信号发生器主要用于电子设计方面的性能、功能和压力测试。工程师需要对新的设计进行压力测试，以保证在正常和超常规运行环境中，新的硬件满足设计指标的要求。这就是“极限测试”或“裕量测试”。因此，需要信号发生器构成完整的测试系统。

今天大多数的信号发生器都基于数字技术，许多仪器都可以满足模拟或数字信号的产生要求。但无论数字信号还是模拟信号的产生，都没有为某种特殊应用而最优化的方案。

任意波形发生器(AWG)和任意函数发生器(AFG)主要针对的是模拟和数字的混合信号产生，高速的 AWG 甚至可以产生出高速的串行信号。任意波形发生器采用数字采样技术，能够构建任何可以想象到的模型。例如仅用一台 AWG，能够准确的产生特定的抖动调制方式，而无需使用额外的信号源或硬件。

数字码型发生器包含了两种一起。脉冲源通常是产生高速的连续脉冲信号。码型发生器，或数据发生器，通常并行产生 8 位，16 位或更高位数的信号作为对逻辑器件的激励信号。

使用信号源产生波形的方法有很多种。不同的方法取决于被测系统输入信号的特征，例如增加干扰、增加抖动、注入误码等。典型的方法如下：

- 为激励电路产生全新的信号
- 重现用示波器或逻辑仪在现实环境中捕获的信号
- 产生理想或带压力的信号测试系统冗余度

精确产生信号的信号发生器有几个重要的指标：通道数、存储深度、采样率、带宽和系列模式。

#### 通道数

通常，AWG 和 AFG 有一到四个输出通道。在某些型号的 AWG 中，除了提供主要的模拟信号输出外，还有丰富的同步数字信号输出通道。

#### 存储深度

存储深度决定了定义波形所能够使用的最大的样点数。特别是对某些复杂的波形，存储深度是高精度重建波形的关键，因为在信号跳变和变化时需要大量的样点来描述。

#### 采样率

采样率是影响输出信号频率的重要指标。采样率（每秒的样点数）代表仪器最大的采用时钟频率。内奎斯特定理告诉我们，采样率必须高于被测信号最高频率分量两倍以上，才能无失真的重新信号。因此复杂的波形常常需要高采样率去描述信号边沿或跳变。

#### 带宽

信号发生器的带宽和采样率是独立的指标。信号发生器输出的模拟带宽必须有足够的采样率支持。换句话说，输出带宽必须能够将被生成的信号无损伤的输出。

### 序列控制

为了完整的对被测系统进行激励,常需要生产很长的波形数据。其中波形重复的部分可以用序列控制器来完整循环或跳转,以减少波形编辑的工作量。在仪器内存保存着大量的“虚拟的”重复波形。波形序列控制借鉴了计算机指令,如循环、跳转等。这些保存在序列控制内存中的指令,能够任意控制波形数据块的行为。有了序列控制功能,便可以产生几乎连续无界的波形。

激励被测系统的信号发生器和采集信号的采集设备构成了完整的测量方案。这两种设备分别位于被测系统的输入端和输出端,正如图21所示。在各种各样的配置中,信号发生提能够产生模拟或者数字码型、调制波形或者人为损伤的波形或者噪声去激励被测系统。为了更加有效的设计、鉴定或故障定位,需要考虑上述完整的测量方案。



图 21: 许多测量系统都是由采集设备和信号源设备组成。

## 小结

在数字系统研发工程中,信号完整性测试是至关重要的一步。在系统中的任何的故障隔离和消除都是工程师的责任。

功能强大和高效率的测量系统是必不可少的;一个具有高带宽性能和高效率的仪器能够准确的解决高速信号的异常。

**这些工具包括数字荧光示波器、逻辑分析仪、实时频谱分析仪、时域反射仪、任意波形发生其和高保真度的探头系统以及分析软件。**

一些创新的测量方案,例如高密的逻辑分析仪探头、抖动自动化测量软件和逻辑分析仪、示波器整合的测量方案等,帮助设计者处理各式各样的信号完整性问题。使用这些强大的测量工具,工程师能够快速的定位故障,并追溯其来源。

直到现在,无法看到的信号完整新问题时常影响新产品的稳定性和项目开发的精度。设计者要利用各种测量方案去应对巨大的信号完整性挑战。



图 22: 这些工具包括数字荧光示波器、逻辑分析仪、实时频谱分析仪、时域反射仪、任意波形发生其和高保真度的探头系统以及分析软件。



**泰克科技(中国)有限公司**

上海市浦东新区川桥路1227号  
邮编: 201206  
电话: (86 21) 5031 2000  
传真: (86 21) 5899 3156

**泰克北京办事处**

北京市海淀区花园路4号  
通恒大厦1楼101室  
邮编: 100088  
电话: (86 10) 6235 1210/1230  
传真: (86 10) 6235 1236

**泰克上海办事处**

上海市静安区延安中路841号  
东方海外大厦18楼1802-06室  
邮编: 200040  
电话: (86 21) 6289 6908  
传真: (86 21) 6289 7267

**泰克深圳办事处**

深圳市罗湖区深南东路5002号  
信兴广场地王商业大厦G1-02室  
邮编: 518008  
电话: (86 755) 8246 0909  
传真: (86 755) 8246 1539

**泰克成都办事处**

成都市人民南路一段86号  
城市之心23层D-F座  
邮编: 610016  
电话: (86 28) 8620 3028  
传真: (86 28) 8620 3038

**泰克西安办事处**

西安市东大街  
西安凯悦(阿房宫)饭店345室  
邮编: 710001  
电话: (86 29) 8723 1794  
传真: (86 29) 8721 8549

**泰克武汉办事处**

武汉市汉口建设大道518号  
招银大厦1611室  
邮编: 430022  
电话: (86 27) 8781 2760/2831

**泰克香港办事处**

九龙尖沙咀加连威老道2-6号  
爱宾大厦15楼6室  
电话: (852) 2585 6688  
传真: (852) 2598 6260

**有关信息**

泰克公司备有内容丰富的各种应用文章、技术简介和其他资料,并不断予以充实,可为从事前沿技术研究的工程师提供帮助。请访问泰克公司网站 [www.tektronix.com.cn](http://www.tektronix.com.cn)



版权 ©2008, 泰克公司。泰克公司保留所有权利。泰克公司的产品受美国和国外专利权保护,包括已发布和尚未发布的产品。以往出版的相关资料信息由本出版物的信息代替。泰克公司保留更改产品规格和定价的权利。TEKTRONIX 和 TEK 是泰克有限公司的注册商标。所有其他相关商标名称是各自公司的服务商标或注册商标。

11/09 Internal/WWW

54C-22137-1

**Tektronix**<sup>®</sup>